



HARDWARE DEDICADO PARA SISTEMAS EMPOTRADOS DE VISIÓN

ELISA CALVO GALLEG0

Memoria de Tesis para optar al grado de Doctor

IMSE
-cnm



Instituto de
Microelectrónica
de Sevilla



Departamento de Electrónica y Electromagnetismo
Universidad de Sevilla (US)

Instituto de Microelectrónica de Sevilla (IMSE-CNM)
Consejo Superior de Investigaciones científicas (CSIC) / Universidad de Sevilla (US)

HARDWARE DEDICADO PARA SISTEMAS EMPOTRADOS DE VISIÓN

Memoria presentada por

ELISA CALVO GALLEGO

Para optar al grado de doctor

SEVILLA, SEPTIEMBRE DE 2017



HARDWARE DEDICADO PARA SISTEMAS EMPOTRADOS DE VISIÓN

Memoria presentada por

ELISA CALVO GALLEGO

Dirigida por

SANTIAGO SÁNCHEZ SOLANO Y PIEDAD BROX JIMENEZ

Tutor

ANGEL BARRIGA BARROS

SEVILLA, SEPTIEMBRE DE 2017

AGRADECIMIENTOS

Para mí la realización de una tesis es un trabajo individual y colectivo a la vez, como correr una carrera de fondo. Es individual porque muchas veces es algo que haces solo, ‘achuchando’ cuando no debes y planteándote en más de un instante si debes abandonar, mientras tratas de adaptarte, aprender y disfrutar. Colectivo porque, igual que en una carrera, es el ánimo, el apoyo y los consejos de aquellos que están a tu alrededor, lo que muchas veces te empuja a terminar con éxito. Por eso, me gustaría comenzar esta memoria dedicando unas palabras a muchas personas que han estado conmigo estos años.

En primer lugar, me gustaría dar las gracias a todos aquellos que trabajan en la secretaría y la dirección del Departamento de Electrónica y Electromagnetismo de la US, a aquellos que forman parte de la coordinación del programa de doctorado, y a todo el personal del Instituto de Microelectrónica de Sevilla (Dirección, Gerencia, Administración, Unidades Técnicas, Personal Investigador) y la agencia de viajes. Porque he recibido por parte de todos un trato excepcional desde que comenzó mi etapa en el instituto, además de mucha ayuda siempre que he acudido con dudas, problemas o peticiones. Asimismo me gustaría dar las gracias a todos aquellos con los que he compartido aula o asignatura, porque me han ofrecido todas las facilidades posibles, y de todos he aprendido alguna cosa.

Por su apoyo a nivel profesional y personal cuando ha sido necesario, he de dar las gracias también a todos los integrantes de mi grupo de investigación, el TIC180. Destacar entre ellos a Erica, Macarena, Piedad y Antonio, por muchos ratos que hemos compartido; porque entre consejos, risas y lecciones, he llevado mucho mejor cualquier clase o tarea.

Al TIC180 pertenecen también mis directores de Tesis, Santiago y Piedad, que han sido y serán para mí un ejemplo en muchos sentidos. He de agradecerle a Piedad muchas de las cosas que he aprendido del mundo académico y el IMSE, y a Santiago, el haberme introducido en el mundo de los sistemas empotrados, contagiándome un poquito la pasión que el transmite cuando habla de ‘trabajo’. Además, me gustaría dar las gracias a ambos por el tiempo que me han dedicado, las oportunidades que me han ofrecido, y su interés y preocupación por resolver todas y cada una de mis inquietudes.

Gracias también a todos aquellos que conocí en el IMSE: Susana, Manu, Antonio, Reinier, Paco, Hector, Juan, Rafaella, Sonia, Yaisel, Rosario, Luis Manuel, Jorge Luis, Erica, Eugenio, Cristina, Laurentiu, Ion, Angela, Marco, James, Mouna, Pablo, Antonio, Andrés, Mikel, Luis, Javi Castro, Manuel, Javi Arcenegui... por ser amigos y no solo compañeros. Gracias también por más de una quedada, y muchas reflexiones y consejos que, antes o después, me han aportado otra perspectiva de las cosas. Gracias a todos aquellos que han estado ahí para lo que yo necesitara.

Thanks to Professor Andrea Cavallaro and to Dr. Fabio Poesi in London, and to Professor Gerard de Haan in Eindhoven, for hosting me as a member of the group, in addition to opening my mind and teaching me many things about the researching field. Yiming, Xinyuan, Shan, Firew, Andrew, Davit, Margot..., I do not know when we will see each other again, but I always keep you all in my mind.

Gracias también a todos aquellos que, fuera del IMSE, me han aguantado muchas veces a lo largo de estos años, recordándome a menudo lo importante: que el trabajo no es lo principal, y que el mundo está lleno de genios sin estudios e idiotas con doctorado (y un millón de publicaciones). Por eso, gracias a las niñas ‘Telecas’ y los miembros del grupo ‘SEAS’, por esos ratos que nos ponen al día de trabajo, casas y niños, y nos hacen recordar que hay que montar ya una empresa, y olvidarse del PB*. Gracias también a todos los miembros de ‘Panda de GORDOS frikis’, porque más de una tarde (para mi inigualables) he recuperado el ánimo con ellos, comiendo, tomando mojitos o jugando a algún juego. Y gracias también a todos los miembros de ‘No me lies’, porque sea donde sea y sea como sea, han sido siempre un apoyo constante e incondicional para mí.

Para terminar, decir que nada de esto hubiera sido posible sin mi familia. Por eso me gustaría dar las **GRACIAS** a mi hermano, por ser el mejor y estar ahí absolutamente para todo durante todos estos años que llevo aguantándolo (aunque los agradecimientos de su tesis digan justo lo contrario), y a Maca, mi cuñada favorita, por sus mimitos y sus detalles felices que sacan a cualquiera una sonrisa,

A Josemi, por animarme a aparcar siempre en la puerta de cualquier sitio, y estar a mi lado en todo momento,

Y a mis padres, porque en este caso no he encontrado las palabras que expresen de una manera acertada todo lo que significan para mí, y que si no todo, gran parte de lo que soy, se lo debo a ellos.

GRACIAS A TODOS

DEDICATORIA:

*A mis padres, porque cuando he llorado
o he reído, ellos lo han hecho conmigo.*

RESUMEN

La constante evolución de las Tecnologías de la Información y las Comunicaciones no solo ha permitido que más de la mitad de la población mundial esté actualmente interconectada a través de Internet, sino que ha sido el caldo de cultivo en el que han surgido nuevos paradigmas, como el ‘Internet de las cosas’ (IoT) o la ‘Inteligencia ambiental’ (AmI), que plantean la necesidad de interconectar objetos con distintas funcionalidades para lograr un entorno digital, sensible y adaptativo, que proporcione servicios de muy distinta índole a sus usuarios. La consecución de este entorno requiere el desarrollo de dispositivos electrónicos de bajo coste que, con tamaño y peso reducido, sean capaces de interactuar con el medio que los rodea, operar con máxima autonomía y proporcionar un elevado nivel de inteligencia. La funcionalidad de muchos de estos dispositivos incluirá la capacidad para adquirir, procesar y transmitir imágenes, extrayendo, interpretando o modificando la información visual que resulte de interés para una determinada aplicación.

En el marco de este desafío surge la presente Tesis Doctoral, cuyo eje central es el desarrollo de hardware dedicado para la implementación de algoritmos de procesamiento de imágenes y secuencias de vídeo usados en sistemas empotrados de visión. El trabajo persigue una doble finalidad. Por una parte, la búsqueda de soluciones que, por sus prestaciones y rendimiento, puedan ser incorporadas en sistemas que satisfagan las estrictas exigencias de funcionalidad, tamaño, consumo de energía y velocidad de operación demandadas por las nuevas aplicaciones. Por otra, el diseño de una serie de bloques funcionales implementados como módulos de propiedad intelectual, que permitan aliviar la carga computacional de las unidades de procesamiento de los sistemas en los que se integren.

En la Tesis se proponen soluciones específicas para la implementación de dos tipos de operaciones habitualmente presentes en muchos sistemas de visión artificial: la sustracción de fondo y el etiquetado de componentes conexos. Las distintas alternativas surgen como consecuencia de aplicar una adecuada relación de compromiso entre funcionalidad y coste, entendiendo este último criterio en términos de recursos de cómputo, velocidad de operación y potencia consumida, lo que permite cubrir un amplio espectro de aplicaciones. En algunas de las soluciones propuestas se han utilizado además, técnicas de inferencia basadas en Lógica Difusa con idea de mejorar la calidad de los sistemas de visión resultantes.

Para la realización de los diferentes bloques funcionales se ha seguido una metodología de diseño basada en modelos, que ha permitido la realización de todo el ciclo de desarrollo en un único entorno de trabajo. Dicho entorno combina herramientas informáticas que facilitan las etapas de codificación algorítmica, diseño de circuitos, implementación física y verificación funcional y temporal de las distintas alternativas, acelerando con ello todas las fases del flujo de diseño y posibilitando una exploración más eficiente del espacio de posibles soluciones.

Asimismo, con el objetivo de demostrar la funcionalidad de las distintas aportaciones de esta Tesis Doctoral, algunas de las soluciones propuestas han sido integradas en sistemas de vídeo reales, que emplean buses estándares de uso común. Los dispositivos seleccionados para llevar a cabo estos demostradores han sido FPGAs y SoPCs de Xilinx, ya que sus excelentes propiedades para el prototipado y la construcción de sistemas que combinan componentes software y hardware, los convierten en candidatos ideales para dar soporte a la implementación de este tipo de sistemas.

ABSTRACT

The continuous evolution of the Information and Communication Technologies (ICT), not only has allowed more than half of the global population to be currently interconnected through Internet, but it has also been the breeding ground for new paradigms such as Internet of Things (IoT) or Ambient Intelligence (AmI). These paradigms expose the need of interconnecting elements with different functionalities in order to achieve a digital, sensitive, adaptive and responsive environment that provides services of distinct nature to the users.

The development of low cost devices, with small size, light weight and a high level of autonomy, processing power and ability for interaction is required to obtain this environment. Attending to this last feature, many of these devices will include the capacity to acquire, process and transmit images, extracting, interpreting and modifying the visual information that could be of interest for a certain application.

This PhD Thesis, focused on the development of dedicated hardware for the implementation of image and video processing algorithms used in embedded systems, attempts to response to this challenge. The work has a two-fold purpose: on one hand, the search of solutions that, for its performance and properties, could be integrated on systems with strict requirements of functionality, size, power consumption and speed of operation; on the other hand, the design of a set of blocks that, packaged and implemented as IP-modules, allow to alleviate the computational load of the processing units of the systems where they could be integrated.

In this Thesis, specific solutions for the implementation of two kinds of usual operations in many computer vision systems are provided. These operations are background subtraction and connected component labelling. Different solutions are created as the result of applying a good performance/cost trade-off (approaching this last criteria in terms of area, speed and consumed power), able to cover a wide range of applications. Inference techniques based on Fuzzy Logic have been applied to some of the proposed solutions in order to improve the quality of the resulting systems.

To obtain the mentioned solutions, a model based-design methodology has been applied. This fact has allowed us to carry out all the design flow from a single work environment. That environment combines CAD tools that facilitate the stages of code programming, circuit design, physical implementation and functional and temporal verification of the different algorithms, thus accelerating the overall processes and making it possible to explore the space of solutions.

Moreover, aiming to demonstrate the functionality of this PhD Thesis's contributions, some of the proposed solutions have been integrated on real video systems that employ common and standard buses. The

devices selected to perform these demonstrators have been FPGA and SoPCs (manufactured by Xilinx) since, due to their excellent properties for prototyping and creating systems that combine software and hardware components, they are ideal to develop these applications.

ÍNDICE

AGRADECIMIENTOS.....	I
RESUMEN	V
ABSTRACT	VII
ÍNDICE.....	IX
PRÓLOGO.....	1
CAPÍTULO 1: SISTEMAS EMPOTRADOS PARA VISIÓN ARTIFICIAL	13
1.1 Procesamiento de imagen y visión artificial	15
1.2 Sistemas empotrados	30
1.3 Lógica difusa	43
1.4 Metodología y herramientas de diseño.....	48
1.4.1 Flujo de diseño e implementación software.....	52
1.4.2 Flujo de diseño e implementación hardware	53
1.5 Conclusiones	59
CAPÍTULO 2: SUSTRACCIÓN DE FONDO.....	62
2.1 Algoritmos de sustracción de fondo	67
2.1.1 Revisión de algoritmos de sustracción de fondo.....	67
2.1.2 Implementaciones de algoritmos de sustracción de fondo	74
2.2 Evaluación del rendimiento de los algoritmos de BS.....	81
2.2.1 Métodos para evaluar la calidad	81
2.2.1.1 Evaluación de la extracción de foreground	83
2.2.1.2 Evaluación del modelo de background	86
2.2.2 Base de datos de secuencias de video.....	87
2.3 Contribuciones aportadas por esta tesis.....	89
2.3.1 Algoritmos para dispositivos empotrados con recursos muy limitados	89
2.3.1.1 Descripción de los algoritmos seleccionados	89
A. Algoritmos básicos.....	90
B. Algoritmos estadísticos.....	92
C. Algoritmos difusos	93

2.3.1.2	Propuesta difusa para incrementar la robustez del modelado	96
2.3.1.3	Estudio comparativo de rendimiento de los algoritmos seleccionados	100
2.3.1.4	Implementación hardware de los algoritmos seleccionados	108
A.	Algoritmo FE	109
B.	Algoritmo SR	119
C.	Algoritmo MC	121
D.	Algoritmo SG	123
E.	Algoritmo SD	126
F.	Algoritmo FR	128
2.3.1.5	Análisis de resultados	133
2.3.2	Algoritmos implementables en dispositivos con una mayor capacidad de recursos	135
2.3.2.1	Descripción de los algoritmos seleccionados	135
A.	Algoritmo de clustering (CB)	135
B.	Algoritmo estadístico paramétrico (GMM)	137
C.	Algoritmo estadístico no paramétrico (ViBe)	139
D.	Algoritmo estadístico no paramétrico (PBAS)	141
2.3.2.2	Estudio de rendimiento de los algoritmos seleccionados	143
2.3.2.3	Selección del número de modelos adecuado para la implementación hardware	151
2.3.2.4	Implementación hardware de los algoritmos seleccionados	156
2.3.2.5	Descripción de la arquitectura	157
A.	Detalles de implementación	160
B.	Evaluación de la arquitectura	174
2.4	Conclusiones	183
CAPÍTULO 3: ETIQUETADO DE COMPONENTES CONECTADOS		185
3.1	Revisión histórica de algoritmos de etiquetado	190
3.2	Implementación de algoritmos de etiquetado	197
3.3	Evaluación del rendimiento de algoritmos de etiquetado	205
3.3.1	Métodos para evaluar la calidad	205
3.3.2	Base de datos de secuencias de vídeo	205
3.4	Contribuciones aportadas por esta tesis	209
3.4.1	Estudio y caracterización de algoritmos de etiquetado	210
3.4.1.1	Algoritmos seleccionados	210
A.	Algoritmos multi-scan	210
B.	Algoritmo two-scan	215

3.4.1.2	Estudio de rendimiento y propiedades de los algoritmos seleccionados	216
A.	Evaluación de las propiedades de los algoritmos seleccionados.....	217
B.	Evaluación de los errores de etiquetado en los algoritmos seleccionados	222
C.	Propuesta de mejora del algoritmo TS1	230
3.4.1.3	Algoritmo two-scan para una implementación hardware en tiempo real.....	236
3.4.2	Implementación hardware de algoritmos de etiquetado	240
3.4.2.1	Implementaciones realizadas	241
A.	Algoritmo UMS	241
B.	Algoritmo ABA.....	248
3.4.2.2	Evaluación de las implementaciones.....	254
A.	Algoritmo UMS	254
B.	Algoritmo ABA.....	256
3.5	Conclusiones.....	258
CAPÍTULO 4: MÓDULOS-IP PARA SISTEMAS EMPOTRADOS DE VISIÓN		261
4.1	Co-simulación hardware/software.....	263
4.2	Generación e integración de módulos-IP	267
4.3.	Demostrador basado en algoritmos de etiquetado	270
4.3.1	Desarrollo del hardware del sistema empotrado	271
4.3.1.1	Sistema Base	271
4.3.1.2	Adaptación del módulo de etiquetado	278
4.3.1.3	Resultados de síntesis e implementación	284
4.3.2	Desarrollo del software del sistema empotrado	285
4.3.2.1	Librerías y Drivers.....	285
4.3.2.2	Aplicación software.....	286
4.3.3	Resultados	289
4.4.	Demostrador basado en algoritmos de sustracción de fondo	291
4.4.1.	Desarrollo del hardware del sistema empotrado.....	293
4.4.1.1	Sistema base	293
4.4.1.2	Sincronización de dos flujos AXI-Stream	298
4.4.1.3	Adaptación de las implementaciones realizadas	302
4.4.1.4	Resultados de síntesis e implementación	304
4.4.2	Desarrollo del software del sistema empotrado.....	305
4.4.2.1	Librerías y Drivers.....	305
4.4.2.2	Aplicación software	305
4.4.3	Resultados.....	310

4.5. Conclusiones312

CONCLUSIONES.....313

CONCLUSIONS.....317

ACRÓNIMOS321

CURRICULUM VITAE325

REFERENCIAS.....329

PRÓLOGO

Hace ya más de 40 años que un notable investigador que en esa época trabajaba para Xerox PARC¹, predijo que muchas de las tecnologías que se conocían por aquel entonces iban a comenzar a desaparecer, a hacerse casi invisibles e inapreciables a nuestros sentidos a pesar de estar cada vez más y más extendidas. Para explicar esta teoría, Mark Weiser, que así se llamaba el investigador, ponía como ejemplo el uso de la escritura. Aunque no se sabe con certeza, parece que esta forma de representación surgió a finales del IV milenio A.C., cuando conjuntos de símbolos inicialmente desprovistos de un contenido lingüístico, eran dibujados para transmitir información. Entonces se consideraba una cosa excepcional, prácticamente magia. Hoy, sin embargo, es posible encontrarla en cualquier lugar de nuestro entorno (como libros, revistas, carteles, señales, etiquetas de productos, etc.), y la mayoría de las personas no se cuestiona cómo le llega la información, simplemente lo hace. Este efecto de ‘desaparición’, que es fruto de la psicología humana, ha sido muy estudiado a lo largo de los años, siendo denotado de muy diversas formas. El Premio Nobel, Herb Simon, científico y economista, lo denominó ‘compilación’; Michael Pololanyi, filósofo, fisicoquímico y también economista, lo llamó ‘dimensión tácita’; y otros filósofos como George Galdamer o Martin Heidegger lo referenciaban con los nombres de ‘horizonte’ o *ready-to-hand*. Al final, son solo distintos términos para una misma esencia. En este caso es la escritura, pero todo objeto o concepto desaparece cuando se cruza la barrera del pensamiento para pasar simplemente a usarlo, estando nuestra mente en una meta diferente, más allá de la propia herramienta.

Weiser defendía que el efecto de ‘desaparición’ acabaría ocurriendo con la computación, y pasaríamos de compartir grandes equipos de cálculo entre unos pocos privilegiados (integrantes de organizaciones o centros de trabajo de prestigio), a usar ordenadores personales, y de ahí a emplear múltiples dispositivos por persona, trabajando de forma coordinada y simultánea para realizar distintas tareas. Este es el paradigma al que hace referencia el término ‘Computación Ubicua’ (también llamado *Everywhere*), acuñado entre 1988 y 1994 por este investigador. Por desgracia Weiser falleció en abril de 1999, después de una dura batalla contra el cáncer, pero sus ideas ya se habían extendido tanto en el mundo académico como en el industrial. Prueba de ello es que muchas instituciones y empresas crearon proyectos y grupos de investigación para abrir nuevas líneas de trabajo con ese punto de partida. Algunos de los casos más notables fueron el proyecto Oxygen desarrollado en el MIT (*Massachusetts Institute of Technology*) y los centros IBM’s *Pervasive Computing Laboratory* en Texas, *Hewlett Packard’s Cooltown* y Cal-IT (*California Institute for Telecommunications and Information Technology*) en California, o el *Royal Philips Electronics Homelab* en los Países Bajos.

¹ *Palo Alto Research Center*. Es una empresa de investigación y desarrollo, propiedad de Xerox Corporation, que fue fundada en 1970. Desde entonces ha sido reconocida mundialmente por sus contribuciones a la industria del hardware y el software (ej. la impresión por láser, el estándar Ethernet, la interfaz gráfica de usuario (GUI), la metáfora de escritorio, la programación orientada a objetos, aplicaciones de silicio amorfo (a-Si), semiconductores de muy alta escala de integración (VLSI), etc.).

La expansión tecnológica que ha tenido lugar durante el último medio siglo, ha fomentado la aparición de nuevas aplicaciones e impulsado los esfuerzos encaminados a la interconexión de equipos con el objetivo de compartir recursos e información. Es así cómo, durante la década de los 60, J.C.R. Licklider (MIT) percibió la necesidad de establecer una red mundial de ordenadores, y cómo, algunos años después empezó a construirse ARPANET, una nueva red de comunicaciones financiada por DARPA (*Defense Advanced Research Projects Agency*), que funcionaba de forma distribuida sobre la red telefónica conmutada (RDSI). A mediados de los años 80, esta red (que hoy conocemos con el nombre de 'Internet') contaba con unos 1000 equipos conectados; únicamente 20 años después (2005), este número había crecido ya hasta los 888 millones; actualmente, casi la mitad de la población mundial, según datos del IDC (*International Data Corporation*) y el IWS (*Internet World Stats*) dispone de internet en casa, lo que supone más de 3500 millones de equipos conectados. Paralelamente al desarrollo de Internet han crecido también el número de páginas web, la cantidad de dominios existentes en la red, y las búsquedas de información. Por citar algunas cifras, el número de páginas web existentes actualmente se sitúa por encima de los 638 millones, existen más de 226 millones de dominios registrados, y solo en el año 2012 se realizaron más de 3 billones de búsquedas desde todos los rincones del mundo. Además, desde principios de los 90 comenzaron a incorporarse a la red otros dispositivos; inicialmente se trataba de teléfonos móviles muy avanzados para la época y, a partir del año 2003, con la aparición de una nueva generación de sistemas y estándares de transmisión (3G), los *smartphones* (teléfonos inteligentes) y las *tablets* (computadores portátiles compactos de pantalla táctil) llegaron de forma masiva a los consumidores.

Analizando estos números puede afirmarse que 'Computación Ubicua' e 'Internet' son conceptos que han penetrado completamente en la sociedad. Como consecuencia, las costumbres de la población y la forma de concebir ciertos aspectos de la vida han ido cambiando. Por ejemplo, hoy día son muchas las personas que compran o contratan servicios a través de Internet, desde cualquier lugar, usando un ordenador personal, una tablet o un teléfono móvil. Y son aún más, aquellas que consultan datos o contactan con otras personas usando esta red. En este sentido, la aparición de aplicaciones que permiten establecer 'redes sociales', las cuales facilitan el intercambio de información personal y el contenido multimedia, ha dado lugar a otra forma de entender las relaciones entre las personas. Redes sociales como Facebook (2004) han permitido acercar a amigos y conocidos, mientras que otras redes, como Twitter (2006) o LinkedIn (2003), han renovado conceptos relativos a la comunicación o el marketing, así como cuestiones relacionadas con la manera en la cual se establecen vínculos profesionales entre trabajadores y empresas. Consecuencia de esta evolución es la denominación 'Sociedad de la Información' que desde hace años se otorga a esta sociedad en la que vivimos, una sociedad en la que la tecnología para la captura, creación, distribución y manipulación de la información está jugando un papel vital a nivel económico y social.

La relevancia alcanzada por las Tecnologías de la Información y las Comunicaciones (TICs) a finales del siglo 20, motivó una profundización aún mayor en los conceptos de computación e interconexión. Como consecuencia surgieron varios paradigmas diferentes alrededor de esas ideas, como el *Pervasive Computing*, la 'Internet de las cosas' (*The Internet-of-things*, IoT) o la 'Inteligencia Ambiental' (*Ambient Intelligence*, AmI). La idea asociada al primero de estos modelos la propuso IBM en 2001 y hace referencia a la necesidad de interconexión y comunicación de todos los sistemas que intervienen en la computación ubicua, para así poder acceder a toda la información relevante en cualquier instante de tiempo. IoT es un paradigma que va en la misma línea, pero es mucho más abierto en el tipo de dispositivo conectado a la red. Se popularizó en 1999 gracias a un trabajo realizado en el *Auto-IDCenter* del MIT, en el cual se diseñaba y se extendía una infraestructura estándar de identificación por radiofrecuencia (RFID). Pretendía la interconexión de dispositivos y accesorios específicos de un modo similar a como se produce la interconexión de computadores, para que así **todo** comenzara a pensar, a

comprender la realidad, a adquirir inteligencia. Con una perspectiva aún más amplia, surgió en 1998, en una serie de workshops organizados por la empresa Philips, el concepto de *Ambient Intelligence*, que hace referencia a la existencia de un entorno completamente digital sensible, adaptativo y responsivo a la presencia de seres vivos.

A pesar de sus orígenes, matices y/o diferencias, la consecución de los objetivos que proponen todos estos paradigmas pasan por el desarrollo de una misma idea: el diseño y la implementación de dispositivos electrónicos, inteligentes y embebidos. Es decir, dispositivos de pequeño tamaño y poco peso, que posean una cierta capacidad de procesamiento e interacción y adaptación al entorno, y que tengan la mayor autonomía posible, lo cual, a su vez, implica un bajo consumo de potencia o la posibilidad de proveerse de energía por sí mismos. Dadas estas características, los dispositivos desarrollados en el marco de estos paradigmas incorporan básicamente tres grandes tipos de bloques funcionales: una unidad de sensado/actuación, para capturar información del entorno e interactuar con él; una unidad de procesamiento, en la que se trate parcial o totalmente la información capturada; y una unidad de comunicación, gracias a la cual se transmita la información capturada o procesada hacia otros dispositivos o un elemento central. Muchas líneas de investigación, en áreas como la Informática, las Telecomunicaciones o la Microelectrónica, se han centrado a largo de los años en mejorar cada uno de estos bloques.

Algunos de los esfuerzos en el área de la Informática que han dado lugar a resultados de mayor relevancia son aquellos orientados al desarrollo de sistemas operativos (SO), librerías de funciones y lenguajes de programación más portables y capaces de trabajar en tiempo real. Ejemplos significativos son el sistema operativo Android, las librerías de procesamiento gráfico OpenGL_ES o el lenguaje Cpython. Otros esfuerzos, también de especial importancia, se han enfocado hacia la mejora de las herramientas y entornos de desarrollo utilizados en este tipo de sistemas, donde la depuración y test de distintas alternativas es, si cabe, aún más complejo. Es así como han surgido, por ejemplo, los entornos de desarrollo Sourcery Codebench de Mentor Graphics (2010) o Vivado de Xilinx (2012). De igual modo, los avances en la adaptación y aplicación de metodologías y modelos para la producción eficiente de software, como Scrum o Agile, han sido significativos.

En el área de las telecomunicaciones, los progresos realizados para sistemas empotrados han sido también notables. En este sector son muchos los protocolos que se han definido para el establecimiento de comunicaciones con un bajo consumo de potencia. El NFC (*Near field communication*), por ejemplo, surgió en 2002, seguido por el IEEE 802.15.4 en 2003 y el WiBree (*Wireless Bree* o Bluetooth de baja energía) en 2006, por mencionar algunos. Asimismo, se han realizado esfuerzos para aumentar el rendimiento de las transmisiones, reduciendo la potencia de emisión y/o el ancho de banda utilizado, y se han llevado a cabo muchas investigaciones para añadir seguridad a las redes, integrando protecciones frente a ataques al software y al hardware, y definiendo nuevos algoritmos criptográficos que permiten ocultar el contenido de la información si esas protecciones son violadas.

No obstante, el área que ha contribuido en mayor medida a la continua mejora de los dispositivos que han hecho posible y dan soporte a esta ‘Sociedad Digital’ es la Microelectrónica. Uno de los aspectos que ha jugado un papel importante en el desarrollo de dispositivos portables ha sido el aumento del tiempo de operación autónoma de los dispositivos. Para lograrlo se ha tratado, por ejemplo, de minimizar el consumo de los circuitos electrónicos, explorando distintas técnicas que modifican las tecnologías y procesos de fabricación de los componentes, así como la arquitectura, las interconexiones o los estados del sistema. Algunas de las técnicas aplicadas consisten en la optimización de las tensiones umbral de los transistores y la reducción de su tamaño, la utilización de distintas señales de reloj, la aplicación de esquemas de pipeline y la reducción de las

capacidades de carga. La mejora de las baterías ha sido otra de las líneas exploradas en la búsqueda del incremento de autonomía de los sistemas electrónicos. Las investigaciones en este campo, centradas en la utilización de distintos materiales y arquitecturas, han permitido evolucionar desde las primeras baterías recargables introducidas en 1959, capaces de almacenar una densidad de energía de 25-45 Wh/Kg, hasta las más actuales de Litio, capaces de proporcionar 110-140 Wh/Kg. Por último, además de la construcción de dispositivos de bajo consumo y baterías de mayor duración, a nivel micro y nanoelectrónico se están explorando también formas alternativas para la generación y almacenamiento eficiente de energía tomada a partir de fuentes naturales. Este proceso se conoce con el nombre *Energy Harvesting* o ‘recolección de energía’.

Del mismo modo, los avances en los procesos de fabricación de circuitos integrados y el uso de nuevos materiales han permitido un desarrollo increíble de los sistemas de procesado. Tan grande ha sido esta evolución que si el mismo crecimiento se hubiera producido, por ejemplo, en la industria automovilística, un Roll Royce costaría hoy en día 20 céntimos de euro, pesaría menos de un gramo y sería capaz de recorrer 100 km con un litro de gasolina. Y es que, como ya observó el cofundador de Intel, Gordon Moore, en 1965, el tamaño de los transistores y las líneas de interconexión en los circuitos integrados se ha reducido significativamente con el paso de los años. Lo suficiente, de hecho, para duplicar cada dos años el número de elementos en un chip e incrementar significativamente su frecuencia de trabajo, dando lugar a componentes microelectrónicos cada vez más económicos, rápidos y potentes.

Esta circunstancia, unida a la utilización de nuevas arquitecturas a nivel de sistema, ha dado lugar a la aparición de nuevos tipos de dispositivos que tratan de solucionar algunas carencias de los ya existentes y permiten abordar nuevos desafíos. Este es el caso, por ejemplo, de algunos procesadores específicos, como los DSPs (Procesadores digitales de señal, en inglés *Digital Signal Processor*), o las GPUs (Unidades de procesamiento gráfico, en inglés *Graphical Processing Units*), que han ido surgiendo para acelerar operaciones en tareas específicas de procesado, permitiendo con ello la optimización de dichas tareas y la liberación de los procesadores de propósito general o GPPs (*General Purpose Processors*). Este es también el caso de las FPGAs (*Field Programmable Gate Array*), que facilitan la implementación de sistemas empotrados completos permitiendo, por un lado, la aceleración hardware de las partes críticas del sistema y, por otro, la construcción de elementos con un alto grado de reconfigurabilidad, lo que las convierte en excelentes plataformas de prototipado.

Más recientemente, apoyados por este proceso de miniaturización y centrando los esfuerzos en la búsqueda de potencia de cómputo, funcionalidad e interacción con el entorno, han comenzado también a integrarse elementos de distinta naturaleza en una misma placa de circuito impreso (PCB, *Printed Circuit Board*). De este modo, han comenzado a fabricarse nuevas plataformas, como los SBC (*Single-Board Computer*), que integran sensores, actuadores, puertos de comunicación, lógica programable, etc., y que ofrecen soluciones flexibles y con cierta capacidad de adaptación y comunicación con el exterior. Un paso más allá todavía va la tendencia que suele denominarse *More than Moore*, que contempla la integración de sistemas completos, con elementos de sensado y procesado, dentro del mismo encapsulado (SiP, *System-On-Package*) o del mismo chip (SoC, *System-On-Chip*). Como resultado, han comenzado a diseñarse e implementarse dispositivos que combinan elementos de procesado, memorias, sistemas de radiofrecuencia, circuitos pasivos, sistemas microelectromecánicos (MEMS, *Micro-electro-mechanical systems*), sensores, biochips, etc., proporcionando una visión de futuro totalmente diferente de la que existía años atrás.

La posibilidad de integrar en un mismo sistema microelectrónico elementos de distinta naturaleza y, en especial, elementos que permitan interactuar de manera inteligente con el entorno (sensores y/o actuadores), abre

de par en par las puertas al desarrollo del entorno digital ubicuo, sensible y responsivo planteado a finales del pasado siglo. La proyección de estos nuevos paradigmas se pone de manifiesto en los datos de la ‘Sexta Encuesta Anual sobre coeficiente digital en las empresas’, publicada por la consultora PwC (*PwC 6th Annual Digital IQ, 2014*). Esta encuesta expone que una cuarta parte de las grandes compañías en todo el mundo, principalmente en Asia y Latino América, comenzaron a invertir en el año 2014 en el desarrollo de sensores, y que hasta un 14% de ellas dio prioridad y relevancia a esta área sobre otros sectores emergentes.

Esta tendencia ha dado lugar en los últimos años a la fabricación de dispositivos empotrados que incorporan distintos tipos de sensores, lo que ha hecho posible el desarrollo de nuevas aplicaciones. Por ejemplo, se han introducido sensores de humedad, temperatura, luz o detección de movimiento en distintos aparatos domésticos para automatizar ciertas tareas del hogar; y en el marco de las aplicaciones médicas o deportivas, se han incorporado sensores en dispositivos portables (*Wearables* en la terminología anglosajona) o tejidos especiales que permiten la monitorización de constantes vitales o la presión sanguínea. También en estos sectores, se han comercializado dispositivos con sistemas de posicionamiento global (GPS), giróscopos y acelerómetros integrados, que facilitan la determinación de la localización y la actividad física de las personas que los portan. Por otra parte, la industria automovilística está incorporando sensores para prevenir accidentes o monitorizar el tráfico y, dentro del sector minero/energético, han comenzado a automatizarse sistemas para la detección de fugas y/o niveles de ciertas sustancias químicas, como es el monóxido de carbono.

Muchos de los sistemas electrónicos que se fabrican hoy día, integran uno o varios sensores de visión entre sus componentes. Esto se debe a que, como pone de manifiesto nuestra propia experiencia, la visión es el sentido capaz de proporcionar mayor cantidad de información acerca del entorno. Como consecuencia, hace años que la tecnología trata de emular la forma en la que se produce la captura y el posterior procesamiento de este tipo de información.

Las primeras aplicaciones de procesamiento de imagen datan de los años 20, cuando se utilizaron estas técnicas para mejorar la calidad de impresión de fotografías enviadas de Londres a Nueva York a través de un cable submarino para ser publicadas en un periódico. No fue, sin embargo, hasta los años 60 cuando surge lo que podría considerarse el inicio de esta área de investigación, gracias en parte a la evolución de los elementos de procesamiento. Los comienzos se establecen en proyectos llevados a cabo dentro del *Jet Propulsion Laboratory* (Pasadena, California, EEUU) en 1964, que trataban de corregir las distorsiones de las imágenes tomadas por sondas estadounidenses enviadas a la Luna y Marte. A finales de los 60 y principios de los 70, nuevos usos en sectores como la medicina, la astronomía o la gestión de recursos terrestres, pusieron de manifiesto la necesidad no solo de procesar secuencias de imágenes, sino también de tratar de comprender e interpretar lo que estaba ocurriendo en la escena. Esta demanda abrió la puerta de una disciplina más amplia, que hoy día se conoce como ‘Visión por computador’ o ‘Visión Artificial’.

Poco a poco, la visión artificial ha ido haciéndose un hueco en el mercado como consecuencia de la gran cantidad de aplicaciones que hace posible. Algunos ejemplos de su uso son los sistemas para la inspección de líneas de fabricación en la industria, la asistencia a la cirugía y el análisis de imágenes médicas en el sector sanitario, la ayuda a la conducción en el campo de la automoción, y, más recientemente, los sistemas relacionados con la realidad aumentada desarrollados en el marco de los videojuegos y el entretenimiento. Ha sido sin embargo en los últimos años, con el incremento del número de usuarios, la expansión de las comunicaciones y el desarrollo de paradigmas como IoT y AmI, cuando se ha producido un verdadero boom en este campo, convirtiéndose en una de las disciplinas que más atención recibe por parte de organizaciones y

empresas. Y es que, como dijo Robert P. Loce² en una entrevista concedida en 2013: «Lo que impulsa a enseñar a ‘ver’ a los ordenadores está creciendo día a día. Lo que logremos está solo limitado por nuestra imaginación». Es decir, que las inquietudes que presenta la sociedad en la que vivimos, están demandando cada vez más la necesidad de investigación en esta línea, y son incontables los desafíos que están aún por resolver, incluso por plantear. Además el impacto de muchos de estos desafíos en la sociedad será realmente significativo. Por ejemplo, en el año 2015 Mark Zuckerberg³ predijo que en 10 años un ordenador sería capaz de describir una imagen. Es inmediato intuir las facilidades que este hecho proporcionaría a las personas invidentes o la gran cantidad de aplicaciones que abre en otros campos, como el de la robótica. Estas afirmaciones, hechos y tendencias llevan a pensar que, como afirmó Evan Nisselson⁴ en Febrero de 2016 «Fracasaremos en muchas de las cosas que imaginemos hacer con técnicas de visión por computador, pero solo con que consigamos un 30% de ellas, ya nuestra vida cambiará para siempre!».

A pesar del continuo proceso de miniaturización y adaptación de las tecnologías para permitir la integración de un mayor número de elementos de distinta naturaleza sobre el mismo *chip* de silicio, la integración de sistemas de visión artificial en dispositivos empotrados no es una tarea exenta de dificultades. Por una parte, la complejidad de los algoritmos utilizados, los grandes volúmenes de datos asociados con la información visual, y la necesidad de operación autónoma y en tiempo real de muchos de los dispositivos y aplicaciones, plantean requisitos muy estrictos en cuanto a potencia de cálculo, capacidad de almacenamiento, consumo de energía y velocidad de operación. Por otra, los condicionantes del mercado al que van dirigidos estos sistemas imponen también fuertes limitaciones relativos a los costes y los tiempos de desarrollo, introducción y actualización de los productos.

La disponibilidad de recursos de cálculo y almacenamiento de un sistema microelectrónico, así como su velocidad de operación suelen estar directamente relacionados con el tamaño y la energía necesaria para completar su función. Por este motivo, en el caso de los sistemas empotrados es preciso establecer relaciones de compromiso entre la funcionalidad que proporcionan, los recursos que requieren y las prestaciones que son capaces de alcanzar. Ello implica revisar las distintas propuestas de algoritmos y métodos de implementación existentes en la literatura, con el objetivo de ajustarlas a las características de las plataformas de implementación disponibles, así como explotar el uso de técnicas de co-diseño hardware/software que faciliten el desarrollo de sistemas híbridos que permitan acelerar las tareas críticas optimizando los recursos utilizables.

Adicionalmente, para dar respuesta a las demandas del mercado, es obligada la utilización de técnicas de implementación y herramientas de diseño que faciliten el tratamiento de la complejidad asociada a este tipo de sistemas, y permitan acortar los tiempos de desarrollo de nuevos productos (*Time-to-market*). Entre ellas cabe destacar el uso de entornos de desarrollo que aceleren los procesos de descripción, síntesis y validación funcional de nuevas propuestas, así como el empleo de metodologías de diseño que fomenten la reutilización de código o bloques previamente implementados como ‘Módulos de propiedad intelectual’ (Módulos-IP). El uso de estos bloques permite reducir los tiempos de diseño de los sistemas, al no tener que implementar determinadas partes de los mismos, a la vez que agiliza el proceso de verificación, al tratarse de implementaciones ya depuradas. Las etapas de implementación y caracterización funcional de prototipos, por otra parte, se pueden ver

² Especialista en visión por computador. Trabajó en Xerox Corporation entre 1981 y 2014. Actualmente trabaja en Conduent Labs. De acuerdo a los datos publicados en ResearchGate ha publicado más de 280 patentes y 60 artículos. Ha sido editor asociado del *Journal of Electronic Imaging*, *Real-Time Imaging*, y *IEEE Transactions on Image Processing*.

³ Fundador y CEO de la red social Facebook.. En 2008 se convirtió en el multimillonario más joven de la historia según la revista Forbes.

⁴ Socio de LDV Capital on Visual Technologies Satellite Selfies. Ha sido mentor en compañías como SeedCamp o 500 Start-ups.

considerablemente reducidas con el uso de dispositivos reconfigurables, como las FPGAs o los SoPCs (*System on Programmable Chip*) actualmente disponibles.

El objetivo de esta Tesis es el desarrollo de hardware específico para algoritmos de procesamiento de imágenes y secuencias de vídeo usados en sistemas empotrados de visión artificial. Concretamente, el trabajo se ha centrado en dos tipos de operaciones, habituales en las etapas de procesamiento de los sistemas de visión utilizados en numerosos dominios de aplicación. Por un lado, se han considerado los algoritmos de sustracción de fondo y/o extracción de foreground, cuyo objetivo es separar del fondo de una imagen los objetos de interés en movimiento existentes en la misma. Por otra parte, se han estudiado los algoritmos de etiquetado de componentes conectados, que intentan asignar una etiqueta única a todos los píxeles conexos de una imagen binaria. Ambos tipos de algoritmos son a menudo dispuestos en una secuencia en la que la salida del primero es la entrada del segundo, posibilitando la realización de operaciones de más alto nivel, como la re-identificación o el seguimiento (también conocido como *tracking*) de personas u objetos.

Esta Tesis propone un conjunto de soluciones específicas para ambos tipos de algoritmos. Cada una de ellas presenta unas prestaciones diferentes, logradas al alcanzar una determinada relación de compromiso entre funcionalidad y recursos. Como consecuencia, el conjunto de implementaciones realizadas permite barrer un amplio espectro de aplicaciones. Además, como ponen de manifiesto los demostradores descritos en la memoria, estas soluciones pueden ser encapsuladas como módulos-IP, lo que facilita su utilización en sistemas de vídeo que emplean buses estándares de uso común. Para la implementación y verificación funcional de los módulos propuestos, se han utilizado FPGAs y SoPC de Xilinx, ya que sus excelentes propiedades para el prototipado y la construcción de sistemas híbridos los convierten en dispositivos ideales para la realización de estas tareas.

Para el desarrollo de las diferentes propuestas se ha seguido una metodología de diseño basada en modelos. Dicha metodología ha permitido aplicar distintas técnicas de co-diseño hardware/software, así como la realización de todo el ciclo de desarrollo (codificación algorítmica a nivel software y hardware, diseño de circuitos, verificación funcional y temporal, etc.) en un único entorno de trabajo. Esto ha facilitado la aceleración de los procesos de diseño, implementación, verificación e integración, además de permitir una exploración más eficiente del espacio de posibles soluciones. El procedimiento seguido para llevar a cabo las implementaciones puede utilizarse para implementar de forma eficiente otros algoritmos para sistemas de visión artificial. Como resultado, esta Tesis contribuye también con la propuesta de una metodología para la implementación de este tipo de métodos y su integración en sistemas empotrados de visión.

Además de analizar los algoritmos de etiquetado y sustracción de fondo existentes y diseñar los bloques funcionales que permiten llevar a cabo implementaciones hardware eficientes, algunas de estas implementaciones proponen mejoras para aumentar la calidad de los sistemas empotrados de visión que incorporen las soluciones propuestas. Para conseguir este objetivo se han aplicado técnicas basadas en Lógica Difusa. La elección de estas técnicas vino motivada por su capacidad para manejar la incertidumbre asociada a muchas de las imágenes que debe procesar un sistema de visión artificial, así como por su facilidad para establecer relaciones entre las entradas y salidas de un sistema mediante conjuntos de reglas basadas en la experiencia del observador en lugar de en expresiones matemáticas o datos numéricos.

Con idea de describir el trabajo realizado y los principales resultados obtenidos en relación con los diferentes aspectos mencionados, la memoria de Tesis se estructura como sigue:

- En el **Capítulo 1** se introducen una serie de conceptos básicos, indispensables para facilitar la comprensión del resto de la memoria. El primer apartado se centra en las técnicas de procesamiento de imagen y visión artificial. En primer lugar se describen brevemente los dispositivos de captura de imágenes y sus principales características, así como la manera en que se conforman, almacenan y transmiten las imágenes en un entorno digital. Posteriormente, se revisan las operaciones de bajo, medio y alto nivel que componen un flujo de procesamiento genérico de vídeo y que permiten, respectivamente, la mejora de las condiciones de la imagen, la extracción de ciertas propiedades de los objetos que componen las escenas, y la interpretación de las mismas. A continuación se exploran los tipos de elementos de procesamiento que mejor se adaptan a la construcción de un sistema empotrado, justificándose, de acuerdo a los objetivos de la Tesis, la realización de implementaciones hardware dedicadas y la utilización de dispositivos reconfigurables (FPGAs y SoCs) para su implementación y verificación. Se detallan, asimismo, los principales elementos y características de las plataformas seleccionadas para el desarrollo y test de las soluciones propuestas. Por último, se presentan un conjunto de ideas básicas de Lógica Difusa, cuyas técnicas de inferencia serán utilizadas en algunos de los diseños realizados, y se introducen una serie de nociones para la aplicación de métodos de aprendizaje supervisado con el fin de optimizar las prestaciones de este tipo de sistemas. El capítulo concluye con la propuesta de una metodología de trabajo genérica para la realización de implementaciones hardware eficientes de algoritmos de procesamiento de imagen en sistemas empotrados. Las herramientas utilizadas en esta Tesis para llevar a cada uno de los pasos de dicha metodología son también detalladas, destacando sus principales usos, opciones y ventajas.

- En el **Capítulo 2** de la memoria se ha realizado una amplia revisión de los algoritmos de sustracción de fondo existentes en la literatura, así como de sus implementaciones a nivel software y hardware. El objetivo de este estudio es la selección de un conjunto de métodos cuya implementación hardware ofrezca una buena relación de compromiso entre rendimiento, recursos, velocidad y consumo de potencia. Tras analizar las alternativas existentes en la literatura, ante la imposibilidad de lograr todos los requisitos con una única solución, los algoritmos fueron divididos en dos grandes grupos.

El primero de ellos explora alternativas relativamente sencillas, que presentan una implementación más ligera a costa de un rendimiento limitado. Es decir, alternativas que pueden trabajar para muchas aplicaciones con resoluciones de imagen aceptables considerando solo la memoria interna de la FPGA, pero cuyos resultados en cuanto a la calidad del foreground extraído no son óptimos. El estudio de los algoritmos existentes en el estado del arte pertenecientes a este grupo dio lugar a la selección de siete métodos, con los que se realizó un estudio más exhaustivo de rendimiento. Para ello, las métricas de evaluación y las secuencias de imágenes de test más utilizadas por otros autores del área fueron revisadas y seleccionadas. A estas siete alternativas se sumó además un nuevo método propuesto en esta Tesis que, aplicando Lógica Difusa, es capaz de mejorar los resultados de aquellos en los que se inspira.

Analizando los resultados arrojados por ese estudio, seis de los algoritmos fueron implementados en hardware, contemplando varias opciones de diseño en determinadas partes de los algoritmos, y distintos tipos y longitudes de palabra de ciertos datos cuyo papel en la implementación resultaba relevante. Posteriormente se realizaron procesos de simulación, síntesis e implementación, y se obtuvieron resultados de rendimiento, área, velocidad y potencia. Aunque alguna de las alternativas no distan mucho en prestaciones, con otras es posible ofrecer un abanico de soluciones para cubrir un rango bastante amplio de situaciones y aplicaciones reales. Usando la memoria interna de una FPGA Spartan-3A DSP 3400 para almacenar los resultados intermedios, la mayoría de esas implementaciones son capaces de trabajar con

imágenes de resolución CIF a frecuencias situadas entre los 80 y los 100 MHz. El error cometido con respecto a la implementación software del algoritmo original es inferior al 1% (en el marco de las métricas consideradas) y su consumo no supera en ningún caso los 0.5 W.

El segundo grupo de algoritmos, por el contrario, se centra en alternativas más complejas, que suelen presentar un rendimiento mejor a costa de un incremento en las exigencias de memoria, lógica y/o potencia, siendo en muchos casos necesario recurrir al uso de memoria externa al dispositivo reconfigurable. En este caso se analizó el rendimiento de cuatro alternativas, trabajando con imágenes en niveles de gris y en color, para seleccionar finalmente las mejores de ellas. Al observar que las alternativas escogidas presentaban principios de funcionamiento similares, se optó por diseñar una arquitectura genérica, reconfigurable y escalable, que permite la implementación de distintas configuraciones de estos algoritmos, así como establecer una base para la implementación eficiente de otros algoritmos pertenecientes a este grupo de métodos.

La implementación de dicha arquitectura es detallada en la memoria, y los resultados de rendimiento (obtenidos por simulación), área, velocidad y potencia (obtenidos realizando procesos de síntesis e implementación) de los módulos resultantes son proporcionados para distintas combinaciones de parámetros. Comparadas con los algoritmos software originales, las implementaciones cometen errores situados entre el 0.16% y el 1.5% para las métricas utilizadas, pudiendo trabajar con frecuencias situadas entre 55 y 77 MHz sobre la FPGA Spartan-3A DSP 3400 y entre 83 y 112 MHz cuando se utiliza el dispositivo ZYNQ™-7000 SOC XC7Z020. Por la cantidad de recursos requeridos, aunque la implementación de este tipo de algoritmos es más adecuada para sistemas que puedan acceder a memoria externa al dispositivo reconfigurable, también es posible utilizarla para trabajar con resoluciones de imagen que no sean muy elevadas (SQCIF y QCIF) sobre dispositivos que únicamente cuenten con memoria interna. En cuanto a la potencia consumida, todas las implementaciones se sitúan por debajo de 1 W.

- En el **Capítulo 3** de la Tesis se profundiza en la exploración de los algoritmos de etiquetado. En primer lugar, se ha realizado una extensa revisión de los métodos existentes en la literatura, clasificándolos en función del número de barridos que realizan de la imagen. A lo largo de este estudio, se han analizado las ventajas e inconvenientes de cada uno de los tipos considerados, así como de las distintas técnicas aplicadas para su mejora. De acuerdo con los objetivos de la Tesis, la atención se ha fijado prioritariamente en aquellos algoritmos de etiquetado capaces de procesar la imagen a medida que la reciben del elemento de captura. Entre las distintas opciones existentes, los algoritmos multi-scan fueron seleccionados por su funcionalidad y sencillez, mientras que los algoritmos two-scan resultan indispensables para la implementación de sistemas de visión que requieran una mayor velocidad de procesamiento. Durante este estudio también se ha detectado la principal limitación para conseguir buenos etiquetados: el solapamiento y la pérdida de equivalencias entre etiquetas.

Aunque el problema de pérdidas de equivalencias ha sido reportado en la literatura, la mayoría de los trabajos publicados están centrados en la mejora o aceleración de una implementación y la optimización de determinados factores (como el número de accesos a memoria), siendo los errores que se producen contemplados de forma cualitativa o desde un punto de vista puramente teórico. En el desarrollo de esta Tesis, sin embargo, se ha considerado imprescindible realizar un estudio del problema que permita averiguar cuál es realmente su magnitud, el impacto que supone en los resultados obtenidos y si existe alguna manera de reducirlo. Por esta razón, se incluye en el capítulo la propuesta de una metodología sistemática para llevar

a cabo dicho estudio, así como el análisis del problema sobre un conjunto de algoritmos que podrían ser buenas alternativas de cara a una implementación hardware.

Tras analizar el rendimiento y las prestaciones que puede ofrecer cada alternativa, se decidió la realización de dos implementaciones. Ambas pueden llevarse a cabo utilizando únicamente los recursos de memoria internos del dispositivo para aplicaciones que empleen pequeñas resoluciones de imagen. Usando una FPGA XC3SD1800A, con el primero de los algoritmos se pueden alcanzar tamaños de imagen de 350x350 píxeles y frecuencias de trabajo de hasta 51 MHz (considerando una conectividad de 4 vecinos). Estas cifras se ven, sin embargo, limitadas por la necesidad del algoritmo de realizar múltiples barridos para completar el etiquetado. No obstante, se podrían procesar imágenes con resoluciones QCIF en la mayoría de los casos. Con el segundo de los algoritmos implementados, sobre la misma FPGA, considerando también conectividad 4 y sin imponer ninguna restricción en cuanto a uso de memoria, podrían alcanzarse resoluciones de 210x210 píxeles trabajando a unos 41 MHz. No obstante, suponiendo el procesado de imágenes convencionales, donde el número de etiquetas asignadas se mantiene muy por debajo del máximo teórico, estos valores se incrementan hasta los 310x310 píxeles y una frecuencia de 50.71 MHz. Con este algoritmo, no obstante, no existe ninguna limitación adicional, ya que completa el etiquetado en un tiempo de frame. El consumo de potencia en ambos casos no es muy significativo, situándose por debajo de los 200 mW.

- Aunque utilizando placas con más recursos se obtendrían mejores resultados en cuanto al tamaño de las imágenes que es posible procesar (tanto en el caso de los algoritmos de sustracción de fondo, como en el caso de los algoritmos de etiquetado), si se desea el procesado de imágenes de mayor tamaño será necesario recurrir a memoria externa. Como consecuencia, **el capítulo 4** de esta memoria recoge la descripción de dos sistemas de visión completos, desarrollados en el marco de esta Tesis sobre dispositivos comerciales. Con ellos se persigue llevar a cabo una verificación funcional de las soluciones propuestas en los apartados dos y tres de esta memoria, así como describir los procesos necesarios para generar módulos IP a partir de ellos e integrarlos en plataformas existentes en el mercado.

El primer sistema, desarrollado sobre una plataforma de Xtreme DSP– Edición 3400, con una FPGA Spartan 3ª DSP 3400, demuestra el funcionamiento de un algoritmo de etiquetado. Este demostrador presenta un flujo de procesado puramente hardware, donde la inicialización y configuración de los distintos elementos se efectúa desde un procesador *soft* llamado Microblaze, a través de un bus PLB (*Processor Local Bus*). El segundo sistema, por otra parte, construido sobre la plataforma de desarrollo conocida con el nombre de ZedBoard, muestra los resultados obtenidos por un algoritmo de sustracción de fondo y/o extracción de foreground. Con un flujo de procesado que se mantiene también a nivel hardware, el control de los distintos bloques que componen el demostrador se realiza desde uno de los procesadores ARMs integrados en el SoC XC7Z020 CLG484-1 existente en el dispositivo. La arquitectura que presenta este demostrador está basada en el protocolo AXI (*Advanced eXtensible Interface*).

Asimismo, se han construido también dos sencillos ejemplos de co-simulación con aplicaciones de conteo y seguimiento de objetos (*tracking*), que hacen uso de una FPGA y un procesador externo. Estos ejemplos ponen de manifiesto otra alternativa para llevar a cabo la depuración de un diseño e implementación hardware, así como sus ventajas e inconvenientes.

El trabajo desarrollado en esta Tesis doctoral se ha enmarcado en dos Proyectos de Investigación subvencionados por el Ministerio de Ciencia e Innovación: DIMISION (Diseño microelectrónico de sistemas de visión para redes de sensores inteligentes, TEC2008-04920) y SEIs (Diseño hardware para sistemas empotrados en entornos inteligentes, TEC2011-24319).

El objetivo básico del proyecto DIMISION fue fomentar el desarrollo de redes de sensores con capacidad de visión, proporcionando nuevos algoritmos, estructuras de circuito, estrategias y herramientas de diseño que facilitaran la implementación microelectrónica eficiente de este tipo de sistemas. Los resultados obtenidos en el proyecto permitieron, en primer lugar, validar el uso de técnicas de *Soft-Computing* para mejorar la eficiencia de diferentes tareas básicas relacionadas con el procesamiento y transmisión de información visual entre los elementos de la red. La ejecución del proyecto permitió, asimismo, el desarrollo de nuevas herramientas y técnicas de diseño para sistemas de inferencia difusos, así como la puesta a punto de una plataforma de desarrollo para redes de sensores y una metodología de diseño basada en modelos que facilita la síntesis y verificación conjunta de los componentes hardware y software del sistema. La viabilidad de las técnicas y herramientas desarrolladas fue confirmada mediante la construcción de demostradores centrados en el diseño de algoritmos de detección de objetos y algoritmos de etiquetado con aplicación a problemas de Conservación Medioambiental.

El proyecto SEIS, por otra parte, planteaba como objetivo explorar el empleo de nuevas técnicas de procesamiento y herramientas de diseño para facilitar el desarrollo de sistemas empotrados para entornos inteligentes. Para cumplir estos objetivos se recurrió, por una parte, a la utilización de técnicas de *Soft-Computing* para manejar la imprecisión y ambigüedad de la información suministrada por los sensores, y, por otra a desarrollar nuevas metodologías y técnicas de diseño para facilitar la exploración del espacio de diseño de las soluciones propuestas. Los dominios de aplicación considerados en el proyecto estaban relacionados con las áreas de Seguridad y Control Medioambiental. Entre las principales aportaciones del proyecto cabe destacar la propuesta de una plataforma de desarrollo hardware/software para sistemas de visión sobre FPGAs, el análisis de nuevas técnicas y elementos de circuito para facilitar la autenticación de los elementos hardware, y una serie de implementaciones eficientes de algoritmos específicos para sistemas inteligentes de visión: extracción de foreground, etiquetado de componentes conectados, identificación de huellas dactilares y detección de caras.

Durante el periodo de realización del trabajo la candidata al título de doctorado ha estado soportada económicamente por una ayuda de posgrado para la Formación de Profesorado Universitario del Ministerio de Educación, Cultura y Deportes (Beca FPU, Convocatoria: 25 de abril de 2012), adscrita al Consejo Superior de Investigaciones Científicas (CSIC). La concesión de dicha ayuda permitió a la beneficiaria la solicitud de dos estancias predoctorales que le fueron también concedidas. Un resumen de las tareas realizadas en dichas estancias, así como de los principales resultados obtenidos a raíz del trabajo recogido en esta memoria se incluye en el Curriculum Vitae anexo a esta memoria.

CONCLUSIONES

Los avances de la microelectrónica, las comunicaciones y la informática están transformando, no solo las herramientas que utilizamos, sino también los hábitos y mecanismos de comunicación de los integrantes de la sociedad en la que nos encontramos inmersos; una sociedad que ha pasado a denominarse ‘Sociedad de la Información’. Además de numerosos dispositivos dirigidos a usuarios, esta evolución tecnológica ha dado lugar a la aparición de nuevos paradigmas, como ‘Internet de las cosas’ (IoT) o ‘Inteligencia ambiental’ (AmI), que plantean la necesidad de lograr un entorno digital sensible, adaptativo y responsivo, donde todos los elementos estén interconectados.

Apoyándose en el hecho de que la visión es uno de los sentidos que más información proporciona a los seres vivos acerca del medio que les rodea, muchos de los elementos que constituirán este nuevo entorno digital incluirán sistemas capaces de adquirir y procesar imágenes, extrayendo, interpretando y/o transmitiendo la información visual que resulte de interés para una determinada aplicación. El desarrollo de estos sistemas exige la revisión de los algoritmos de procesamiento de imagen y vídeo actualmente utilizados, con el objetivo de seleccionar aquellas alternativas que puedan ser implementadas en dispositivos empujados de bajo coste, con tamaño y peso reducido, capaces de interactuar con el medio que los rodea, de operar con la mayor autonomía posible y de proporcionar un elevado nivel de inteligencia.

El eje central de esta Tesis es el desarrollo de hardware específico para algoritmos de procesamiento de imágenes y secuencias de vídeo usados en sistemas empujados de visión artificial. Concretamente, el trabajo se ha centrado en dos tipos de algoritmos usados en numerosos sistemas en distintos dominios de aplicación: los algoritmos de sustracción de *background* y extracción de *foreground*, y los algoritmos de etiquetado de componentes conectados. Ambos tipos de algoritmos son a menudo dispuestos interconectados en cascada, de modo que la salida del primero es la entrada del segundo, posibilitando la realización de operaciones de más alto nivel, como la detección, la re-identificación o el seguimiento de personas u objetos.

Las principales contribuciones realizadas, relativas a los algoritmos de sustracción de fondo, se resumen a continuación:

- Se ha llevado a cabo una completa revisión del estado del arte de los algoritmos de sustracción de *background* y extracción de *foreground*, así como de las magnitudes y las bases de datos de secuencias que permiten la caracterización del problema y la evaluación del funcionamiento de las diferentes alternativas. A partir de esta revisión, se ha seleccionado un conjunto de algoritmos que podrían ser buenas alternativas para llevar a cabo implementaciones hardware, dividiéndolos en dos grupos: por una parte se han explorado alternativas relativamente sencillas, que permiten una implementación con un número reducido de recursos a costa de proporcionar un rendimiento limitado; por otra parte, se

han analizado alternativas más complejas, que suelen presentar un rendimiento mejor a costa de un incremento en las exigencias de memoria, lógica y consumo de potencia, siendo en muchos casos necesario recurrir al uso de memoria externa al dispositivo usado en su implementación.

- Con el objetivo de analizar el rendimiento y las prestaciones de cada uno de los métodos y ofrecer un conjunto de soluciones adecuadas para un amplio abanico de aplicaciones, se ha procedido a la implementación software y hardware de los algoritmos incluidos en ambos grupos. En este estudio se han considerado alternativas en escala de grises y color y se han contemplado distintos valores para los parámetros que definen el comportamiento de los diferentes algoritmos. La codificación software se ha llevado a cabo con ayuda de los entornos MATLAB y Visual Studio, mientras que el diseño hardware se ha realizado con System Generator y las herramientas de síntesis e implementación de FPGAs de Xilinx.

- Entre los algoritmos más sencillos se estudiaron a nivel software ocho alternativas. De ellas, seis fueron implementadas en hardware: los algoritmos FE, SR, MC, SG, SD y FR. Usando la memoria interna de una FPGA Spartan-3A DSP 3400 para almacenar los resultados intermedios, la mayoría de esas implementaciones son capaces de trabajar con imágenes de resolución CIF a frecuencias situadas entre los 80 y los 100 MHz. El error cometido con respecto a la implementación software del algoritmo original es inferior al 1% (en el marco de las métricas consideradas) y su consumo no supera en ningún caso los 0.5 W.

- El último de los algoritmos mencionados, citado en la memoria con las siglas FR, corresponde a una propuesta surgida en el contexto de esta Tesis para la mejora de un algoritmo RA clásico de la literatura mediante la aplicación de técnicas de inferencia basadas en Lógica Difusa. El método demuestra ser una buena alternativa, sobre todo en velocidad, para aplicaciones que requieran trabajar con algoritmos sencillos.

- En el caso de los algoritmos de mayor complejidad se contemplaron cuatro alternativas a nivel software. A raíz de este estudio se diseñó una arquitectura hardware reconfigurable que permite la implementación de los métodos ViBe y PBAS, y sienta las bases para la implementación de otros algoritmos de los denominados ‘de consenso’. Comparadas con los algoritmos software originales, las implementaciones cometen errores situados entre el 0.16% y el 1.5% para las métricas utilizadas, pudiendo trabajar con frecuencias situadas entre 55 y 77 MHz sobre la FPGA Spartan-3A DSP 3400 y entre 83 y 112 MHz cuando se utiliza un dispositivo Zynq-7000 SOC. Aunque la implementación de este tipo de algoritmos es más adecuada para sistemas que puedan acceder a memoria externa al dispositivo reconfigurable, también es posible utilizarla para trabajar con resoluciones de imagen que no sean muy elevadas (SQCIF y QCIF) sobre dispositivos que únicamente cuenten con memoria interna. En cuanto a la potencia consumida, todas las implementaciones se sitúan por debajo de 1 W.

Por otra parte, las principales aportaciones de la Tesis en relación con los algoritmos de etiquetado, son las siguientes:

- Se ha revisado el estado del arte de los algoritmos de etiquetado de componentes conectados, analizando la viabilidad de implementación hardware para sistemas empotrados de visión y poniendo

especial énfasis en la identificación del problema de pérdidas de equivalencias entre etiquetas. El estudio sistemático del mismo, llevado a cabo mediante una serie de implementaciones software en el entorno MATLAB, ha permitido poner de manifiesto su orden de magnitud y el impacto que supone en los resultados obtenidos, así como detectar una técnica que permite reducirlo.

- Se ha propuesto la adaptación de uno de los métodos más eficientes reportados en la literatura, el algoritmo de Bailey et al., para que aproveche los intervalos de sincronía horizontales y verticales existentes en distintos estándares de video. Con ello se presenta la implementación hardware de un algoritmo *two-scan* que opera en cada tiempo de frame, entregando la imagen etiquetada. Este algoritmo aparece citado en esta memoria con las siglas ABA.
- Utilizando System Generator como herramienta de diseño, se ha realizado la implementación hardware del algoritmo anterior, junto a la de un algoritmo *multi-scan* de referencia (UMS). La implementación del algoritmo UMS sobre una FPGA Spartan-3A DSP 1800 permite alcanzar tamaños de imagen de 350x350 píxeles y frecuencias de trabajo de hasta 51 MHz (considerando una conectividad de 4 vecinos). Aunque estas cifras se ven limitadas por la necesidad del algoritmo de realizar múltiples barridos para completar el etiquetado, en la mayoría de los casos se podrían procesar imágenes con resoluciones QCIF.
- En el caso del algoritmo ABA, utilizando la misma FPGA, considerando conectividad 4 y sin imponer ninguna restricción en los tamaños de las tablas de equivalencias, pueden alcanzarse resoluciones de 210x210 píxeles trabajando a unos 41 MHz. No obstante, suponiendo el procesado de imágenes habituales, donde el número de etiquetas asignadas se mantiene dentro de unos límites razonables, estos valores se incrementan hasta los 310x310 píxeles y una frecuencia de 50.71 MHz, muy similares a los del algoritmo UMS. Con este algoritmo, no obstante, no existe ninguna limitación adicional ya que es capaz de completar el etiquetado en un tiempo de frame.

La experiencia adquirida en el desarrollo de los trabajos anteriores se ha plasmado, asimismo, en la propuesta de una metodología de diseño basada en modelos para la implementación eficiente de algoritmos de procesamiento de imagen y secuencias de vídeo sobre dispositivos reconfigurables. El uso de ese flujo de diseño y la combinación de herramientas que lo soporta permiten la realización de todo el ciclo de desarrollo en un entorno de trabajo unificado, acelerando los procesos de diseño, implementación, verificación e integración, lo que se traduce en una exploración más eficiente el espacio de posibles soluciones para este tipo de aplicaciones.

Por último, con la finalidad de facilitar su integración con los elementos de procesado disponibles en las plataformas de desarrollo empleadas, así como para demostrar su utilidad como bloques básicos para la implementación de sistemas empotrados de visión capaces de operar en tiempo real con secuencias de vídeo de elevada resolución, algunos de los algoritmos implementados en la Tesis han sido convertidos en módulos-IP e integrados en dos prototipos de sistemas de visión. En relación con este punto, las principales aportaciones del trabajo son:

- La creación de un módulo-IP a partir de la implementación hardware del algoritmo de etiquetado ABA. Para ello, las interfaces de entrada y salida de este bloque han sido adaptadas para facilitar su conexión a buses genéricos que incluyen las señales de datos y de temporización habituales en muchos estándares de vídeo.

- El desarrollo de un demostrador que integra este módulo-IP sobre una plataforma Xtreme DSP-Edición 3400 con una FPGA Spartan-3A DSP 3400. El sistema presenta una arquitectura basada en buses PLB que integra como procesador el *soft-core* MicroBlaze y es capaz de procesar en tiempo real secuencias de imágenes con resolución VGA cuando se emplea en aplicaciones de identificación de formas y conteo de objetos.
- La creación de un módulo-IP a partir de la implementación hardware de un algoritmo de sustracción de fondo RA clásico, con interfaces de entrada y salida adaptadas para su conexión a buses estándar AXI-Stream, así como de un módulo-IP auxiliar para sincronizar la transmisión de información de flujos AXI-Stream cuando existen múltiples receptores de información.
- El desarrollo de un demostrador que ilustra el funcionamiento de estos módulos-IP, construido sobre una plataforma ZedBoard que cuenta con un dispositivo Zynq-7000 SoC. El sistema utiliza como elemento de procesamiento uno de los cores ARM disponibles en el dispositivo. La interconexión entre los distintos componentes se lleva a cabo mediante los diferentes tipos de buses definidos en el estándar AXI. El sistema empujado es capaz de ejecutar en tiempo real aplicaciones de sustracción de *background* y extracción de *foreground* con imágenes de resolución 1920x1080.

El trabajo de investigación descrito en esta Tesis Doctoral pretende, en resumen, contribuir al desarrollo de sistemas empujados de visión para diversas aplicaciones desde una doble perspectiva. Por una parte, aportando soluciones concretas para realizar de forma eficiente algunas tareas habituales en este tipo de sistemas. Por otra, proponiendo una metodología de diseño, basada en el estudio del problema, el análisis de las diferentes alternativas de implementación hardware, la evaluación de distintas técnicas para mejorar las alternativas seleccionadas, la implementación software y hardware de las alternativas escogidas y, por último, su integración como módulos-IP en un prototipo real. Dadas las perspectivas de futuro que estos paradigmas parecen tener en la moderna ‘Sociedad Digital’, esta metodología podría ser aplicada a muchos otros tipos de algoritmos, tanto de visión como de otras áreas de aplicación.

CONCLUSIONS

Over the past century, technology has evolved at a huge rate, transforming the habits, the ideas and the lifestyle of the members of our society and originating the well-known 'Information Society'. As a result, smartphones, tablets, computers and other wearable devices run our lives these days, highlighting the necessity of a digital, sensitive, responsive and adaptive environment. In fact, new paradigms such as 'The internet of things (IoT)' or 'Ambient Intelligence' (AmI) have appeared based on these ideas.

To achieve an environment with these properties, among others, it is supposed to play a crucial role the development of networks of devices, whose size and weight is small (to facilitate its portability and its integration around people) and whose processing power and autonomy is high (to perform complex tasks without being dependent on a power source). In addition, a good the capacity for interacting with the environment it is required. To achieve this last exigence, based on the fact that vision is one of the most useful senses to human beings for obtaining information about the environment, many of the devices of the network will integrate vision systems, which are able to acquire and process images and videos to extract information and to interpret and understand what it is happening on the scenario.

Within this general context, the motivation of this PhD dissertation arise, focused on the design and the implementation of dedicated hardware of image processing algorithms for embedded systems. In particular, the work has been oriented to two kinds of algorithms: background subtraction algorithms and connected component labelling algorithms. Both types of method have been selected for their frequent use on people re-identification or tracking systems.

Concerning to the background subtraction algorithms, the contributions of this PhD have been:

- Review of the state of art of this kind of methods, as well as the magnitudes and the video database used for the characterization and evaluation of the problem in the literature. From this review, some algorithms that could be a good option for a hardware implementation has been selected and divided in two groups. On the one hand, simple methods whose implementation requires less resources but whose performance is limited are explored. On the other hand, more complex alternatives, whose performance is better at the expense of an increase on the demanded logic resource and the power consumption, are studied.
- Software and hardware implementation of the considered algorithms (simple and complex) that allow: (1) to offer a set of valid solutions, (2) to carry out trade-off studies that consider the quality of the results provided by the algorithm and the speed, area and power achieved by its implementation. These studies consider grey and color versions of the algorithms and different values for some of their

parameters. The software implementations have been done in Matlab or C/C++, depending on the particular algorithm, using Matlab or Microsoft Visual Studio. The hardware implementations have been done using System Generator (Xilinx).

- Among the simple methods, eight algorithms were selected at software level. Six of them were chosen to continue with the hardware analysis. These algorithms were called on the Thesis manuscript: FE, SR, MC, SG, SD y FR. Using the internal memory of a FPGA Spartan-3A DSP 3400 to save intermediate results, the majority of these implementations are able to process CIF images at 80-100 MHz. The obtained errors were always lower than 1% of F-Score with respect to the original software version and the power consumption never overcame 0.5W.
- The last simple mentioned algorithm, FR, is a proposal which arises in the context of this PhD Thesis to improve a running average classic method. The improvement was achieved by means of the application of fuzzy logic techniques. The results demonstrated that this proposal could be a good option, in terms of speed, to work with devices with very few resources.
- In reference to the complex methods, four algorithms were studied at software level. From this study, a reconfigurable architecture that allows to obtain the ViBe and PBAS algorithms, as well as establishing the bases for the implementation of other 'consensus methods', is proposed.

The committed error by the hardware implementation of these methods is between 0.16% and 1.5% of F-Score, being able to work at 55 - 77 MHz if the used device is a FPGA Spartan-3A DSP 3400, and at 83 - 112 MHz if the used device is a Zynq™-7000 SOC XC7Z020. The amount of required resource indicates that these implementations are better for systems with available external memory. Nevertheless, it is possible to process SQCIF and CIF image resolutions in devices that only have internal memory. In terms of power consumption, any of the analysed models exceed 1W.

On the other hand, the contributions of this PhD Thesis with regard to labelling are:

- Review of the state of art of this kind of methods and identification of the problem of losses of equivalences. Although this problem has been described in the literature, the majority of works are focused on the implementations (trying to reduce the execution time, the access to memory, etc.) and these losses are considered in a theoretical or qualitative way. In this Thesis, a systematic methodology is proposed to reveal the magnitude of these errors and its relevance in the obtained results, and a technique to reduce these errors has been identified.
- The adaptation of one of the most efficient methods of the literature, the Bailey's algorithm, to make use of the vertical blanking period of a video standard, in addition to horizontal blanking periods, to the resolution of equivalences among labels. Therefore, the hardware implementation of a two-scan algorithm that works in real time, delivering the labelled image, is provided. This adaptation is named ABA in the manuscript.
- Using System Generator as design tool, hardware implementations of the UMS and ABA algorithms have been performed. The implementation of the UMS algorithm on a FPGA Spartan-3A DSP 1800 allows to process images with 350x350 pixels, working at maximum frequencies of 51 MHz

(considering a horizontal/vertical 4-neighbourhood). Although these figures are limited by the requirement of doing several scans on the image for completing the labelling, most cases would be able to process QCIF sequences resolutions.

In case of the ABA algorithm, using the same FPGA and neighbourhood and without considering any size constraint applied to the equivalence table, it would be possible to reach 210x210 image resolutions, working at 40 MHz. However, in the knowledge that the number of assigned labels is lower in actual situations, the size of the equivalence table could be reduced to process images of 310x310 pixels at 50MHz without committing a relevant error. These figures are similar to the achieved ones with the UMS algorithm, but in this case there are no additional limitations.

The acquired experience on the development of these contributions has resulted in the proposal of a methodology for the efficient hardware implementation of image processing algorithms on reconfigurable devices. The combination of employed tools and the use of this methodology have allowed to speed up the different stages of the design flow, carrying out all of them from the same environment and exploring the solution space for this kind of algorithms.

Finally, with the aim of making its integration with the processing elements easier in the existent platforms and to demonstrate its utilities as basic blocks for the implementation of embedded systems, some of the implementations provided on this Thesis have been converted into IP-modules. In addition, these IP-modules have been integrated into two vision systems prototypes. Regarding this point, the main contributions are:

- The creation of an IP-module from the hardware implementation of the ABA algorithm. To achieve this objective, the input/output interfaces have been adapted to its connection with generic buses, which are composed by the data signal and the usual signalling (horizontal synchronization, vertical synchronization and enable data signals).
- The development of a demonstrator that integrates this IP-module on a XtremeDSP platform, with a FPGA Spartan 3A DSP 3400. The system has an architecture that, based on PLB buses, integrates the soft core microprocessor known as Microblaze. It has been set up to process in real time VGA sequences.
- The creation of an IP-module from the hardware implementation of a running average classic algorithm, whose input/output interfaces have been adapted for its connection with AXI-Stream buses, and the design and the creation of an IP-module for synchronizing AXI-Stream flows, supposing M masters and N slaves.
- The development of a demonstrator that integrates these IP-modules on a Zedboard platform, which includes a Zynq™-7000 SOC XC7Z020. The system uses as processor one of the ARM of the device. The interconnection among the components of the system was done by means of AXI buses. The system is able to separate on real time the background and the foreground of a sequence capture from a camera or an HDMI connection. Input images have a 1920x1080 pixels resolution.

In summary, the research work described on this Thesis aims to contribute with the development of embedded vision systems to IoT or AmI applications from a double perspective: on the one hand, providing

specific solutions to perform efficiently usual tasks of this kind of systems; on the other hand, proposing a design methodology based on the study of the problem, the analysis of the different already published contributions, the evaluation of the different techniques to improve the selected methods, the software and the hardware implementation of the chosen alternatives, and finally, the integration of the performed implementation as IP-module or actual prototypes.

In view of the potential of these paradigms, their future prospects and the 'digital society', both implementations and the proposed methodology could be relevant thanks to their use and application to the development of other algorithms and systems, in vision and other research fields.

ACRÓNIMOS

A

A.C. - Antes de cristo
ABA. - Adaptation of Bailey Algorithm
AES. - Advanced Encryption Standard
AMBA. - Advanced High-performance Bus
Aml. - Inteligencia ambiental
API. - Application Programming Interface
APU. - Applicattion Processor Unit
ASIC. - Application-Specific Integrated Circuit
AXI. - Advanced Extensible Interface

B

BA. - Balanced Accuracy
BMA. - Bounded Multi-Scan Algorithm
BS. - Background substraction
BSD. - Berkeley Software Distribution
BSP. - Board Supprt Package

C

Cal-IT. - California Institute for Telecommunications and Information Technology
CAN. - Controllor Area Network
CB. - Codebook algorithm
CCD. - Charged Coupling Devices
CCIR. - International Radio Consultative Committee
CCL. - Connected component Labelling
CLBs. - Configurable Logic Blocks
CIF. - Common Intermediate Format
CMOS. - Complimentary Metal Oxide Semiconductor
CS. - Compresive sensing
CUDA. - Compute Unified Device Architecture
CVT. - Coordinated Video Timming

D

DARPA. - Defense Advanced Research Projects Agency
DCM. - Digital Clock Manager

DCT. - Discrete cosine transform
DRAM. - Dynamic Random Access Memory
DDRM. - Double Data Rate Memory
DIMISION. - Diseño microelectrónico de sistemas de visión para redes de sensores inteligentes
DLL. - Delay Phase Loops
DOF. - Depth of Field
DSPs. - Digital Signal Processor
DVI. - Digital Visual Interface

E

EOL. - End of frame

F

F. - F-Score
FB. - Frame Buffer
FD. - Frame Differencing Algorithm
FE. - Foreground extraction
FE. - Fuzzy Exponential algorithm
FF. - Flip Flop
FFT. - Fast Fourier transform
FIFO. - First In First Out Memory
FN. - False negative
FOV. - Field of View
FPGAs. - Field Programmable Gate Array
FP. - False positive
FPU. - Formación de Profesorado Universitario del Ministerio de Educación, Cultura y Deportes
FPU. - Floating-Point Unit
FR. - Fuzzy Robust algorithm
FS. - Fuzzy S-funtion Algorithm
FSM. - Finite State Machine

G

GMAC. - Giga Multiply-Accumulate operations per second
GMM. - Gaussian mixture model
GPIO. - General Port Interface

GPPs. - General Purpose Processors
GPUs. – Graphic Processing Units
GPS. - Sistemas de posicionamiento global
GT.- Ground-Truth

H

HB.- Horizontal Blanking period
HDMI. - High Definition Multimedia Interface
HDL.- Hardware Description Language
HOG. - Histogram of Oriented Gradients
HLS.- High Level Synthesis
HSB.- Hue, Saturation, Brightness
HSV. - Hue, Saturation, Value

I

IDC. - International Data Corporation
IDE. – Integrated Development Environment
IP. – Intellectual Property
IoT. – Internet Of Things
IWS. - Internet World Stats
I2C. - Inter-Integrated Circuit

J

JC.- Jaccard Coefficient

K

KDE.- Kernel density estimation
K.- Kilo (~103 unidades)

L

LB.- Line Buffer
LEGION.- Locally Excitatory Globally Inhibitory Oscillator Networks
LIDARs. - Light Detection and Ranging o Laser Imaging Detection and Ranging
LFSR.- Linear Feedback Shift Register
LL.- Linked Loss of equivalence
LMB.- Local Memory Bus
LSB.- Least Significant Bit
LUTs. - Look-Up-Tables
LVTTL.- Low Voltage Transistor Transistor Logic
LVC MOS. - Low Voltage Complementary Metal Oxide Semiconductor

M

M.- Mega (~106 unidades)
MC.- Movement Counting Algorithm
MCUs.- MicroController Unit
MEMS. - Micro-electro-mechanical systems
MIT. - Massachusetts Institute of Technology
ML.- Multiple Loss of equivalence

MM.- Main Memory
MMU. - Memory Management Unit
MOG.- Mixture Of Gaussians
MPMC.- Multi Port Memory Controller
MRF.- Markov Random Field
MSPS.- Mega Samples Per Second
MSB.-Most Significant Bit
MSE.- Mean Squared Error

N

NFC. - Near Field Communication
Nfwe.- Número de frames etiquetados sin error
NPV.- Negative Predictive Value
NTSC.- National Television System Committee

O

OpenCV.- Open Source Computer Vision Library

P

P.- Precision
PAL. - Phase Alternating Line
PBAS.- Pixel Based Adaptive Segmenter
PCB. – Printed Circuit Board
PCC.- Percentage of Correct Classification
PCI.- Peripheral Component Interconnect
PE.- Processing Element
PIM.- Personality Interface Module
PLB. - Processor Local Bus
PLL.- Phase Locked Loops
PPV.- Positive Predictive value
PS. - Processing System
PSNR.- Peak Signal To Noise Ratio
PWC.- Percentage of Wrong Classification

Q

R

R.- Recall
RA.- Running Average
RAM.- Random Access Memory
RISC.- Reduced Instruction Set Computer
RGB-D. - Red Green Blue Depth
RLE.- Run Length Encoding
RNG.- Random Number Generation
ROC.- Receiver Operating Characteristic
RSA.- Rivest, Shamir y Adleman
RTL.- Register Transfer Level

S

S.- Similarity

SBC. - Single-Board Computer
SDK. - Software Development Kit
SD. - Sigma Delta unimodal algorithm
SD. - Secure Digital
SEIs. - Diseño hardware para sistemas empotrados en entornos inteligentes
SG. - Single Gaussian Algorithm
SHA. - Secure Hash Algorithm
SIMD. - Single Instructions Multiple Data
SiP. - System-On-Package
SL. - Simple Loss of equivalence
SO. - Sistema Operativo
SoC. - System-On-Chip
SOF. - Start of frame
SOMs. - System on Module
SoPCs. - System on Programmable Chip
SPI. - Serial Port Interface
SR. - Selective Recursive Algorithm
SSB. - Single-Scan Bailey Algorithm
SVDD. - Support Vector Data Domain
SVM. - Support Vector Machine
SVR. - Support Vector Regression

T

ToF. - Time-of-Flight
TDT. - Televisión digital terrestre
TM. - Temporal Memory
TN. - True negative
TNR. - True negative rate
TP. - True positive
TPR. - True positive rate
TS. - Two Scan algoritmn
TSB. - Two-scan Bailey Algorithm

U

UART. - Universal Asynchronous Receiver-Transmitter
UMS. - Unbounded Multi-scan Algorithm
USB. - Universal Serial Bus

V

VB. - Vertical Blanking period
VDMA. - Video Direct Memory Access Controller
VESA. - Video Electronics Standards Association
VFB. - Video Frame Buffer
VFBC. - Video Frame Buffer Controller
ViBE. - Visual Background Extractor
VSK. - Video Starter Kit

W

Wh/Kg. - Watio por hora y kilo
WT. - Wavelet Transform

X

XADC. - Xilinx Analog-to-Digital Converter
XCL. - Xilinx CacheLink

Y

Z

CURRICULUM VITAE

Publicaciones en revistas

- Calvo-Gallego, E., Brox, P., Sánchez-Solano, S., "Low-cost dedicated hardware IP modules for background subtraction in embedded vision systems ", Journal of Real-Time Image Processing DOI: 10.1007/s11554-014-0455-5,
- Calvo-Gallego, E., Brox, P., Sánchez-Solano, S., "A Fuzzy System for Background Modeling in Video Sequences", Lecture notes in Artificial Intelligence 8256, Subseries of Lecture Notes in Computer Sciences, pp. 184-192, 2013

Participación en congresos

- Santiago Sánchez Solano, María Brox, **Elisa Calvo-Gallego**, Andrés Gersnoviez, Piedad Brox, "Hardware implementation of fuzzy inference systems for real time video processing applications", Presentación Oral, XVIII Congreso Español Sobre Tecnologías y Lógica Fuzzy, Donostia, San Sebastian, España, 25-27 Mayo 2016
- **Calvo-Gallego E**, Brox P, Sanchez-Solano S, "Hardware implementation of a background subtraction algorithm in FPGA-based platforms", IEEE International Conference on Industrial Technology (ICIT 2015), Sevilla, España, Marzo, 2015
- Cerezuela-Mora J., **Calvo-Gallego E**, Sanchez-Solano S., "Hardware/Software co-design of video processing applications on a reconfigurable platform", Presentacion Oral, IEEE International Conference on Industrial Technology (ICIT 2015), Sevilla, España, Marzo, 2015
- **Calvo-Gallego E**, De Haan, G., "Automatic ROI for remote photoplethysmography using PPG and color features", 10th International Joint Conference on Computer Vision, Imaging and Computer Graphics Theory and Applications (VISIGRAPP 2015), Berlin, Alemania, Marzo, 2015
- Brox P, **Calvo-Gallego E**, Sanchez-Solano S., "FPGA based embedded systems for video processing", Presentacion Oral, Workshop on Architecture of Smart Cameras (WASC), Sevilla, España, Junio, 2013
- **Calvo-Gallego E**, Cabrera-Aldaya A, Brox P, Sanchez-Solano S., "Real-Time FPGA Connected Component Labeling System", Presentacion Oral, Demonstrator, IEEE International Conference on Electronics, Circuits and Systems (ICECS), Sevilla, España, December, 2012
- **Calvo-Gallego E**, Brox P, Sanchez-Solano S., "Implementación sobre FPGA de un algoritmo de etiquetado en tiempo real", Presentacion Oral, Jornadas de Computación Reconfigurable y Aplicaciones, Elche, España, Septiembre, 2012
- **Calvo-Gallego E**, Brox P, Sanchez-Solano S., "Un algoritmo en tiempo real para etiquetado de componentes conectados en imágenes", Poster, XVIII International Iberchip Workshop, Playa del Carmen, Méjico, Septiembre, 2012

Estancias

- Departamento de Ingeniería Eléctrica (Grupo de sistemas electrónicos) de la **Universidad Técnica de Eindhoven (TUE)**, en los Países Bajos, entre Abril y Junio de 2014 (3 meses), a cargo del **Prof. Dr. Gerard de Haan**. Durante estos tres meses se diseñó un sistema de bajo coste para incrementar la robustez del pulso cardíaco detectado en una persona a partir de una secuencia de video. El sistema combina mediante la aplicación de técnicas de lógica difusa la información fotoplestímo-gráfica (PPG³⁶) y de color obtenida, y la utiliza para detectar la posición de la piel. Una vez la región de interés es localizada en la escena, el análisis plestímo-gráfico ya realizado es filtrado y modificado para conseguir el objetivo inicial.

- Escuela de Ingeniería eléctrica y ciencias de la computación de la **Universidad Queen Mary de Londres**, bajo la supervisión del **Prof. Dr. Andrea Cavallaro**, entre los meses de Septiembre y Noviembre de 2015 (3 meses). En ella se propuso un sistema para plataformas móviles de re identificación de personas, basado en el detector HOG, la extracción de características de color y la aplicación de técnicas de lógica. Posteriormente, se realizó una implementación para GPU (*Graphical Processing Unit*) de dicha solución con CUDA, una arquitectura y modelo de programación creado por NVIDIA.

Formación adicional

- Doctoral Consortium on Computer Vision, Imaging and Computer Graphics Theory and Applications (Satellite doctoral consortium of VISIGRAPP 2014), Lisbon, Portugal, January 2014, donde se realizó la ponencia oral del trabajo titulado "Hardware implementation of smart embedded vision systems". Autores: Calvo-Gallego E, Brox P, Sánchez-Solano S

- Curso "High Level Synthesis for Xilinx FPGA using VivadoHLS (AutoESL)", Impartido por Electratraining (Universidad Autónoma de Madrid) en Madrid (España), 3 días, Certificado de asistencia al curso, 23-25 de Enero de 2013

- Curso "International Computer Vision Summer School (ICVSS 2012)", Impartido en el Hotel Baia Samuele en Sicilia (Italia). Organizado por la Universidad de Cambridge (Reino Unido) y la Universidad de Catania (Italia), 7 días, Certificado de asistencia y superación del curso, 15-21 de Julio de 2012

- Curso "Fundamentos de Matlab", impartido por Mathworks, con una duración de 2 días

- Curso "Labview Core 1", impartido por National Instruments, con una duración de 24 horas (Diciembre 2015).

- Curso "Basic Timing Analysis v1.1 (ILS)", Impartido de forma online por Education Services EMEA, Cadence Design Systems, Certificado de realización, Diciembre de 2013

- Curso "Encounter Digital Implementation (Flat) v11.1(ILS)", Impartido de forma online por Education Services EMEA, Cadence Design Systems, Certificado de realización, Julio de 2013

- Curso "Encounter RTL Compiler v10.1(ILS)", Impartido de forma online por Education Services EMEA, Cadence Design Systems, Certificado de realización, Junio de 2013

- Curso "Programming for Everybody (Python)", impartido de forma online por la Universidad de Michigan (USA) mediante la plataforma Coursera (Education Company), con una duración de 10 semanas

- Curso "LFS101x.2: Introduction to Linux" impartido de forma online por "Linux Foundation" mediante la plataforma Edx (Education Company), con una duración de 8 semanas (Mayo- Junio, 2015)

- Curso "Introducción a las plataformas Arduino y Raspberry Pi", Impartido por el Instituto de Ciencias de la Educación (ICE) de la Universidad de Sevilla, 10 horas, Certificado de asistencia, 17-18 de Febrero de 2015

³⁶ Técnica óptica que permite monitorizar señales vitales en los organismos vivos a partir de las variaciones en la luz reflejada y absorbida por la piel debido a las variaciones en el flujo sanguíneo durante el ciclo cardíaco. Fue descrita por primera vez durante los años 30 pero ha sido recientemente cuando el interés en esta técnica ha crecido por la cantidad de información que puede proporcionar, siendo no invasiva y de bajo coste [12].

- Curso “Image and video processing: From Mars to Hollywood with a stop at the hospital”, Impartido de forma online por la Universidad de Duke (USA) mediante la plataforma Coursera (Education Company), 9 semanas, Certificado de realización con honores (Sin sistema de Verificación), 14 de Enero de 2013 - 18 de Marzo de 2013

Docencia

- Marzo, Abril, Mayo y Junio de 2015 y 2016:
 - Microtecnología y Nanotecnología en Biomedicina (4ºCurso, Grado en Ingeniería de la Salud) (1,5 créditos)
 - Circuitos Electrónicos: Teoría e Instrumentación (2ºCurso, Grado en Física) (1,5 créditos)
- Septiembre, Octubre, Noviembre y Diciembre de 2016 y Enero de 2017:
 - Diseño de Sistemas Digitales (2º Curso, Grado en Ingeniería Informática e Ingeniería de Computadores)

REFERENCIAS

- [1] “Comparison SBC.” [Online]. Available: http://en.wikipedia.org/wiki/Comparison_of_single-board_computers.
- [2] “The Electromagnetic Spectrum,” *Imagine the Universe - Goddard Space Flight Center (NASA)*. [Online]. Available: <http://imagine.gsfc.nasa.gov/science/toolbox/emspectrum2.html>.
- [3] Guido Gerig, “Structured light.” 2013.
- [4] T. Bouwmans, F. Porikli, B. Höferlin, and A. Vacavant, *Background Modeling and Foreground Detection for Video Surveillance*. CRC Press, 2014.
- [5] F. Asharindavida, N. Hundewale, and S. Aljahdali, “Study on hexagonal grid in image processing,” *Saudi Arab. Stultan Aljahdali Taif Univ.*, 2012.
- [6] X. He and W. Jia, “Hexagonal structure for intelligent vision,” in *2005 International Conference on Information and Communication Technologies*, 2005, pp. 52–64.
- [7] Dr. George Bebis, “CS491E/791E: Computer Vision (Spring 2004).”
- [8] Linda Shapiro, “CSE/EE 576: Computer Vision Spring 2006.”
- [9] “Uses of colro spaces.” [Online]. Available: https://en.wikipedia.org/wiki/List_of_color_spaces_and_their_uses.
- [10] D. Zhang and G. Lu, “Review of shape representation and description techniques,” *Pattern Recognit.*, vol. 37, no. 1, pp. 1–19, Jan. 2004.
- [11] “OpenCV, Structural Analysis and Shape Descriptors.” [Online]. Available: http://docs.opencv.org/2.4/modules/imgproc/doc/structural_analysis_and_shape_descriptors.html.
- [12] J. C. Russ, *The image processing handbook*. CRC press, 2006.
- [13] D. G. Lowe, “Distinctive image features from scale-invariant keypoints,” *Int. J. Comput. Vis.*, vol. 60, no. 2, pp. 91–110, 2004.
- [14] N. Dalal and B. Triggs, “Histograms of oriented gradients for human detection,” in *Computer Vision and Pattern Recognition, 2005. CVPR 2005. IEEE Computer Society Conference on*, 2005, vol. 1, pp. 886–893.
- [15] L. M. Gevrekci, M. U. Demircin, and E. Akagunduz, “Real-time image registration,” in *Signal Processing and Communications Applications Conference (SIU)*, 2012 20th, 2012, pp. 1–4.
- [16] V. S. Rakesh, P. R. Sreesh, and S. N. George, “An improved real-time surveillance system for home security system using BeagleBoard SBC, Zigbee and FTP webserver,” in *2012 Annual IEEE India Conference (INDICON)*, 2012, pp. 1240–1244.
- [17] G. Rath, F. Muller, C. Kukla, and L. Zihua, “Wavelet analysis for structure-borne sound generating sensor in injection molding,” in *2013 International Conference on Applied Electronics (AE)*, 2013, pp. 1–4.
- [18] S. Solak and E. D. Bolat, “Real time industrial application of single board computer based color detection system,” in *2013 8th International Conference on Electrical and Electronics Engineering (ELECO)*, 2013, pp. 353–357.
- [19] N. B. Bajema *et al.*, “Benefits of building wireless sensor networks on commodity hardware and software stacks,” in *2011 Seventh International Conference on Intelligent Sensors, Sensor Networks and Information Processing (ISSNIP)*, 2011, pp. 282–287.
- [20] J. Stowers, A. Bainbridge-Smith, M. Hayes, and S. Mills, “Optical Flow for Heading Estimation of a Quadrotor Helicopter,” *Int. J. Micro Air Veh.*, vol. 1, no. 4, pp. 229–239, Dec. 2009.
- [21] H. B. Lim, M. Iqbal, and T. J. Ng, “A Virtualization Framework for Heterogeneous Sensor Network Platforms,” in *Proceedings of the 7th ACM Conference on Embedded Networked Sensor Systems*, New York, NY, USA, 2009, pp. 319–320.
- [22] J. J. Lugo and A. Zell, “Framework for Autonomous On-board Navigation with the AR.Drone,” *J. Intell. Robot. Syst.*, vol. 73, no. 1–4, pp. 401–412, Oct. 2013.
- [23] R. Brockers, M. Hummenberger, S. Weiss, and L. Matthies, “Towards Autonomous Navigation of Miniature UAV,” in *2014 IEEE Conference on Computer Vision and Pattern Recognition Workshops (CVPRW)*, 2014, pp. 645–651.

- [24] M. P. Muresan, R. Brehar, and S. Nedeveschi, "Vision algorithms and embedded solution for pedestrian detection with far infrared camera," in *2014 IEEE International Conference on Intelligent Computer Communication and Processing (ICCP)*, 2014, pp. 133–136.
- [25] W. F. Abaya, J. Basa, M. Sy, A. C. Abad, and E. P. Dadios, "Low cost smart security camera with night vision capability using Raspberry Pi and OpenCV," in *2014 International Conference on Humanoid, Nanotechnology, Information Technology, Communication and Control, Environment and Management (HNICEM)*, 2014, pp. 1–6.
- [26] S. Amir, A. A. Siddiqui, N. Ahmed, and B. S. Chowdhry, "Implementation of line tracking algorithm using Raspberry pi in marine environment," in *2014 IEEE International Conference on Industrial Engineering and Engineering Management (IEEM)*, 2014, pp. 1337–1341.
- [27] R. M. Baby and R. R. Ahamed, "Optical Flow Motion Detection on Raspberry Pi," in *2014 Fourth International Conference on Advances in Computing and Communications (ICACC)*, 2014, pp. 151–152.
- [28] "Benchmark SBC 5." [Online]. Available: <http://wiki.glidernet.org/cpu-boards>.
- [29] "Benchmarks SBC." [Online]. Available: <http://openbenchmarking.org/result/1407062-BY-1407013BY79>.
- [30] "Benchmark SBC 2." [Online]. Available: <http://gleenders.blogspot.com.es/2014/07/beaglebone-black-rev-b-benchmarks.html>.
- [31] "Benchmark SBC4." [Online]. Available: <http://hardware-libre.fr/2014/06/raspberry-vs-banana-vs-a10-olinuxino-powering-and-sata-performance/>.
- [32] "Benchmarking Single Board Computers for Building a Mini Supercomputer for Simulation." .
- [33] "Intel Edison for Arduino." [Online]. Available: http://tienda.bricogeek.com/intel-edison/681-kit-intel-edison-para-arduino.html?gclid=Cj0KEQjwi-moBRDL4Om9d_LndMBEiQAQtF8yHdVFNKzfYMiEv-CyvNHfomQnjGevkzKLWBKYFgR-kaAk2l8P8HAQ.
- [34] "GPU for Arduino." [Online]. Available: <http://playground.arduino.cc/SmartGPU2/SmartGPU2>.
- [35] "Valentfx Cameras." [Online]. Available: <http://valentfx.com/logi-pi/>, <http://valentfx.com/logi-bone/>.
- [36] "Papilio Boards." [Online]. Available: <http://papilio.gadgetfactory.net/index.php?n=Papilio.PapilioPro>, <http://papilio.gadgetfactory.net/index.php?n=Papilio.PapilioDUOHardwareGuide>.
- [37] "Microzed Vision Kit." [Online]. Available: <http://zedboard.org/product/microzed-embedded-vision-kits>.
- [38] "ZedBoard." [Online]. Available: <http://zedboard.org/product/zedboard>.
- [39] "TE0726 'ZynqBerry.'" .
- [40] "Parallella Board." [Online]. Available: <http://www.parallella.org/board/>.
- [41] Xilinx, "Spartan-3 Generation FPGA User Guide." .
- [42] "XtremeDSP™ Development Platform: User Guide - 3400 Edition." .
- [43] "XtremeDSP Starter Platform – Spartan-3A DSP 1800A Edition." [Online]. Available: <https://www.xilinx.com/products/boards-and-kits/hw-sd1800a-dsp-sb-uni-g.html#documentation>.
- [44] "Spartan-3A DSP FPGA Video Starter Kit - User Guide - UG456 (v2.1)." Mar-2010.
- [45] "Microblaze softcore processor." [Online]. Available: <https://www.xilinx.com/products/design-tools/microblaze.html>.
- [46] "Zynq-7000 All Programmable SoC Overview." [Online]. Available: http://www.xilinx.com/support/documentation/data_sheets/ds190-Zynq-7000-Overview.pdf.
- [47] S.-M. Kang and Y. Leblebici, "Chapter 10: Semiconductor memories," in *CMOS digital integrated circuits: analysis and design*, 3rd ed., Boston: McGraw-Hill, 2003.
- [48] "UART - Universal asynchronous receiver/transmitter." [Online]. Available: https://en.wikipedia.org/wiki/Universal_asynchronous_receiver/transmitter.
- [49] Steve Corrigan, "Introduction to the Controller Area Network (CAN)," SLOA101A–August 2002–Revised July 2008.
- [50] SFUPTOWNMAKER, "I2C Tutorial," SPARKFUN. [Online]. Available: <https://learn.sparkfun.com/tutorials/i2c>.
- [51] MIKEGRUSIN, "SPI (Serial Port Interface) Tutorial," SPARKFUN. [Online]. Available: <https://learn.sparkfun.com/tutorials/serial-peripheral-interface-spi>.
- [52] "GPIO (General purpose input/output)," *Wikipedia*. [Online]. Available: https://en.wikipedia.org/wiki/General-purpose_input/output.
- [53] "USB On-The-Go Protocol," *Wikipedia*. [Online]. Available: https://en.wikipedia.org/wiki/USB_On-The-Go.
- [54] "Tri-Mode Ethernet MAC v9.0," LogiCORE IP Product Guide PG051 October 5, 2016.
- [55] "SD (Secure Digital) Protocol," *Wikipedia*. [Online]. Available: https://en.wikipedia.org/wiki/Secure_Digital.
- [56] "Diligent." [Online]. Available: <https://store.digilentinc.com/>.
- [57] "On Semiconductors Camera." [Online]. Available: http://www.onsemi.com/pub_link/Collateral/NOIV1SN2000A-D.PDF.
- [58] "HDMI Input/Output FMC Module." [Online]. Available: <http://www.em.avnet.com/en-us/design/drc/Documents/Xilinx/PB-AES-FMC-IMAGEON-V2000C-G-v1j.pdf>.

-
- [59] "On Semiconductors." [Online]. Available: <http://www.onsemi.com/>.
- [60] "AVNET." [Online]. Available: <http://www.avnet.com/en-us/Pages/default.aspx>.
- [61] M. E. Yuksel and E. Besdok, "A Simple Neuro-Fuzzy Impulse Detector for Efficient Blur Reduction of Impulse Noise Removal Operators for Digital Images," *IEEE Trans. Fuzzy Syst.*, vol. 12, no. 6, pp. 854–865, Dec. 2004.
- [62] Y. Yuksel, M. Alci, and M. E. Yuksel, "Output Enhancement of Impulse Noise Filters by Edge Detection and Neuro-fuzzy Processing," in *New Advances in Intelligent Decision Technologies*, Springer, 2009, pp. 329–339.
- [63] M. Yuksel and A. Basturk, "Application of Type-2 Fuzzy Logic Filtering to Reduce Noise in Color Images," *IEEE Comput. Intell. Mag.*, vol. 7, no. 3, pp. 25–35, Aug. 2012.
- [64] M. Nachtegaal, T. Mélange, and E. E. Kerre, "The possibilities of fuzzy logic in image processing," in *International Conference on Pattern Recognition and Machine Intelligence*, 2007, pp. 198–208.
- [65] A. Pahsa, "Morphological image processing with fuzzy logic," *J. Aeronaut. Space Technol.*, vol. 2, no. 3, pp. 27–34, 2006.
- [66] C.V. Jawahar, P.K. Biswas, A.K. Ray, "Analysis of fuzzy thresholding schemes," presented at the Pattern Recognition 33 (2000) 1339}1349.
- [67] H. R. Tizhoosh, "Image thresholding using type II fuzzy sets," *Pattern Recognit.*, vol. 38, no. 12, pp. 2363–2372, Dec. 2005.
- [68] D. Sheet, H. Garud, A. Suveer, M. Mahadevappa, and J. Chatterjee, "Brightness preserving dynamic fuzzy histogram equalization," *IEEE Trans. Consum. Electron.*, vol. 56, no. 4, pp. 2475–2480, Nov. 2010.
- [69] J. S.-H. P. Martínez-Jiménez and J. Chamorro-Martínez, "Fuzzy Descriptors based on Color, Coarseness, Directionality and Contrast for Image Retrieval," 2015.
- [70] Thierry Bouwmans, *Background Subtraction for Visual Surveillance: A Fuzzy Approach*. Handbook on Soft Computing for Video Surveillance, Taylor & Francis Group, LLC, 2012.
- [71] Mario I. Chacon, "Fuzzy Binarization and Segmentation of Text Images for OPCR," presented at the International Conference in Signal Processing Application and Technology, Boston Massachusetts U.S.A, 1996, p. pp 1091– 095.
- [72] C. G. Amza and D. T. Cicic, "Industrial Image Processing Using Fuzzy-logic," *Procedia Eng.*, vol. 100, pp. 492–498, 2015.
- [73] N. Noguchi, J. F. Reid, Q. Zhang, and L. F. Tian, "Vision intelligence for precision farming using fuzzy logic optimized genetic algorithm and artificial neural network," *Am. Soc. Agric. Eng. St Joseph MI ASAE Pap.*, no. 983034, 1998.
- [74] Z. J. Xiang, Q. Chen, and Y. Liu, "Person re-identification by fuzzy space color histogram," *Multimed. Tools Appl.*, vol. 73, no. 1, pp. 91–107, Nov. 2014.
- [75] M. Sivabalakrishnan and K. Shanthi, "Person Counting System Using EFV Segmentation and Fuzzy Logic," *Procedia Comput. Sci.*, vol. 50, pp. 572–578, 2015.
- [76] E. Alpaydin, *Introduction to machine learning*, 2nd ed. Cambridge, Mass: MIT Press, 2010.
- [77] T. M. Mitchell, *Machine Learning*. New York: McGraw-Hill, 1997.
- [78] P. Cunningham, M. Cord, and S. J. Delany, "Supervised learning," in *Machine learning techniques for multimedia*, Springer, 2008, pp. 21–49.
- [79] Ó. M. Mozas, "Supervised Learning," in *Semantic Labeling of Places with Mobile Robots*, Springer, 2010, pp. 7–13.
- [80] S. B. Kotsiantis, I. Zaharakis, and P. Pintelas, *Supervised machine learning: A review of classification techniques*. 2007.
- [81] "Elección de un metodo de aprendizaje." [Online]. Available: <https://docs.microsoft.com/es-es/azure/machine-learning/machine-learning-algorithm-choice>.
- [82] D. Francisco José Moreno Velo, "Un Entorno de Desarrollo para Sistemas de Inferencia Complejos Basados en Lógica Difusa," Diciembre 20002.
- [83] "Visual Studio." [Online]. Available: <https://www.visualstudio.com/>.
- [84] "OpenCV." [Online]. Available: <http://opencv.org/>.
- [85] "Windows API." [Online]. Available: https://en.wikipedia.org/wiki/Windows_API.
- [86] "Windows Form." [Online]. Available: https://en.wikipedia.org/wiki/Windows_Forms.
- [87] "Windows Presentation Foundation." [Online]. Available: https://en.wikipedia.org/wiki/Windows_Presentation_Foundation.
- [88] "Windows Store." [Online]. Available: https://en.wikipedia.org/wiki/Windows_Store.
- [89] "Microsoft Silverlight." [Online]. Available: https://en.wikipedia.org/wiki/Microsoft_Silverlight.
- [90] "Visual studio versions comparison." [Online]. Available: <https://www.visualstudio.com/products/compare-visual-studio-2015-products-vs>.
- [91] "BSD Licence." [Online]. Available: https://en.wikipedia.org/wiki/BSD_licenses.
- [92] "Matlab." [Online]. Available: <http://es.mathworks.com/products/matlab/>.
- [93] "Xilinx." [Online]. Available: <http://www.xilinx.com/>.
- [94] "Vivado Design Suite." [Online]. Available: <http://www.xilinx.com/products/design-tools/vivado.html>.
- [95] "ISE design tools." [Online]. Available: <http://www.xilinx.com/support/download/index.html/content/xilinx/en/downloadNav/design-tools.html>.
-

- [96] “System Generator.” [Online]. Available: <http://www.xilinx.com/products/design-tools/vivado/integration/sysgen.html>.
- [97] P. Blauensteiner and M. Kampel, *Visual surveillance of an airport’s apron-An overview of the AVTTRACK project*, na, 2004.
- [98] “Maritime Detection and Tracking (MarDT) Dataset.” [Online]. Available: <http://www.dis.uniroma1.it/~labrococo/MAR/>.
- [99] A. Leykin and M. Tuceryan, “Detecting shopper groups in video sequences,” in *Advanced Video and Signal Based Surveillance, 2007. AVSS 2007. IEEE Conference on*, 2007, pp. 417–422.
- [100] S. Lee, N. Kim, I. Paek, M. H. Hayes, and J. Paik, “Moving object detection using unstable camera for consumer surveillance systems,” in *Consumer Electronics (ICCE), 2013 IEEE International Conference on*, 2013, pp. 145–146.
- [101] A. Khalifa, K. Sundaraj, Z. Ibrahim, and V. Retnasamy, “Complex background subtraction for biometric identification,” in *Intelligent and Advanced Systems, 2007. ICLAS 2007. International Conference on*, 2007, pp. 696–701.
- [102] A. Leykin and M. Tuceryan, “Detecting shopper groups in video sequences,” in *Advanced Video and Signal Based Surveillance, 2007. AVSS 2007. IEEE Conference on*, 2007, pp. 417–422.
- [103] C. Spampinato, Y.-H. Chen-Burger, G. Nadarajan, and R. B. Fisher, “Detecting, Tracking and Counting Fish in Low Quality Unconstrained Underwater Videos,” *VIS-APP 2*, vol. 2008, pp. 514–519, 2008.
- [104] J. Campbell, L. Mummert, and R. Sukthankar, “Video monitoring of honey bee colonies at the hive entrance,” *Vis. Obs. Anal. Anim. Insect Behav. ICPR*, 2008.
- [105] T. Ko, S. Soatto, and D. Estrin, “Background subtraction on distributions,” in *Computer Vision—ECCV 2008*, Springer, 2008, pp. 276–289.
- [106] P. C. Tay and H. Shen, “A novel background subtraction method to detect microcalcifications,” in *Image Analysis and Interpretation (SSIAI), 2012 IEEE Southwest Symposium on*, 2012, pp. 141–144.
- [107] “Video coding with dynamic background,” *EURASIP Journal on Advances in Signal Processing*, 2013:11, 2013.
- [108] B. Dey and M. K. Kundu, “Robust Background Subtraction for Network Surveillance in H.264 Streaming Video,” *IEEE Trans. Circuits Syst. Video Technol.*, vol. 23, no. 10, pp. 1695–1703, Oct. 2013.
- [109] Y. Dong, D. Conrad, and G. N. DeSouza, “‘Wii Using Only ‘We’’: Using background subtraction and human pose recognition to eliminate game controllers,” in *Robotics and Automation (ICRA), 2011 IEEE International Conference on*, 2011, pp. 3887–3892.
- [110] V. G. Venkoparao, R. N. Hota, V. S. Rao, and M. K. Gellaboina, “Flare monitoring for petroleum refineries,” in *Industrial Electronics and Applications, 2009. ICIEA 2009. 4th IEEE Conference on*, 2009, pp. 3022–3027.
- [111] T. Bouwmans, “Traditional and recent approaches in background modeling for foreground detection: An overview,” *Comput. Sci. Rev.*, vol. 11–12, pp. 31–66, May 2014.
- [112] B. P. L. Lo and S. A. Velastin, “Automatic congestion detection system for underground platforms,” in *Intelligent Multimedia, Video and Speech Processing, 2001. Proceedings of 2001 International Symposium on*, 2001, pp. 158–161.
- [113] R. Cucchiara, C. Grana, M. Piccardi, and A. Prati, “Detecting objects, shadows and ghosts in video streams by exploiting color and motion information,” in *Image Analysis and Processing, 2001. Proceedings. 11th International Conference on*, 2001, pp. 360–365.
- [114] C. R. Wren, A. Azarbayejani, T. Darrell, and A. P. Pentland, “Pfinder: Real-time tracking of the human body,” vol. 19, no. 7, pp. 780–785, 1997.
- [115] C. Stauffer and W. E. L. Grimson, “Adaptive background mixture models for real-time tracking,” in *Computer Vision and Pattern Recognition, 1999. IEEE Computer Society Conference on.*, 1999, vol. 2.
- [116] Steven W. Smith, in *The Scientist and Engineer’s Guide to Digital Signal Processing*, vol. Convertidores Sigma Delta, 1997.
- [117] D. Mukherjee and Q. M. JonathanWu, “Real-timeVideoSegmentation Using Student’sMixture Model,” *Procedia Comput. Sci.*, vol. 10, pp. 153–160, 2012.
- [118] H. Kim, R. Sakamoto, I. Kitahara, T. Toriyama, and K. Kogure, “Robust foreground extraction technique using Gaussian family model and multiple thresholds,” in *Computer Vision—ACCV 2007*, Springer, 2007, pp. 758–768.
- [119] A. Elgammal, D. Harwood, and L. Davis, “Non-parametric model for background subtraction,” in *Computer Vision—ECCV 2000*, Springer, 2000, pp. 751–767.
- [120] Y. Shen, W. Hu, J. Liu, M. Yang, B. Wei, and C. T. Chou, “Efficient background subtraction for real-time tracking in embedded camera networks,” in *Proceedings of the 10th ACM Conference on Embedded Network Sensor Systems*, 2012, pp. 295–308.
- [121] Y. Sheikh and M. Shah, “Bayesian modeling of dynamic scenes for object detection,” *IEEE Trans. Pattern Anal. Mach. Intell.*, vol. 27, no. 11, pp. 1778–1792, Nov. 2005.
- [122] “Kernel Density Estimation.” [Online]. Available: https://en.wikipedia.org/wiki/Kernel_density_estimation.
- [123] H. Wang and D. Suter, “A consensus-based method for tracking: Modelling background scenario and foreground appearance,” *Pattern Recognit.*, vol. 40, no. 3, pp. 1091–1105, Mar. 2007.
- [124] H. Wang and D. Suter, “Background subtraction based on a robust consensus method,” in *Pattern Recognition, 2006. ICPR 2006. 18th International Conference on*, 2006, vol. 1, pp. 223–226.

-
- [125] O. Barnich and M. Van Droogenbroeck, "ViBe: a powerful random technique to estimate the background in video sequences," in *Acoustics, Speech and Signal Processing, 2009. ICASSP 2009. IEEE International Conference on*, 2009, pp. 945–948.
 - [126] M. Van Droogenbroeck and O. Paquot, "Background subtraction: Experiments and improvements for ViBe," in *Computer Vision and Pattern Recognition Workshops (CVPRW), 2012 IEEE Computer Society Conference on*, 2012, pp. 32–37.
 - [127] M. Hofmann, P. Tiefenbacher, and G. Rigoll, "Background Segmentation with Feedback: The Pixel-Based Adaptive Segmenter," in *IEEE Workshop on Change Detection*, 2012.
 - [128] H.-H. Lin, T.-L. Liu, and J.-H. Chuang, "A probabilistic SVM approach for background scene initialization," in *Image Processing, 2002. Proceedings. 2002 International Conference on*, 2002, vol. 3, pp. 893–896.
 - [129] H. Wang and D. Suter, "A novel robust statistical method for background initialization and visual surveillance," in *Computer Vision—ACCV 2006*, Springer, 2006, pp. 328–337.
 - [130] A. Tavakkoli, M. Nicolescu, G. Bebis, and M. Nicolescu, "A support vector data description approach for background modeling in videos with quasi-stationary backgrounds," *Int. J. Artif. Intell. Tools*, vol. 17, no. 04, pp. 635–658, 2008.
 - [131] T. Bouwmans, "Subspace learning for background modeling: A survey," *Recent Pat. Comput. Sci.*, vol. 2, no. 3, pp. 223–234, 2009.
 - [132] T. Bouwmans, "Recent advanced statistical background modeling for foreground detection: A systematic survey," *RPCS*, vol. 4, no. 3, pp. 147–176, 2011.
 - [133] T. Bouwmans and E. H. Zahzah, "Robust PCA via Principal Component Pursuit: A review for a comparative evaluation in video surveillance," *Comput. Vis. Image Underst.*, vol. 122, pp. 22–34, May 2014.
 - [134] K. Kim, T. H. Chalidabhongse, D. Harwood, and L. Davis, "Real-time foreground–background segmentation using codebook model," *Real-Time Imaging*, vol. 11, no. 3, pp. 172–185, Jun. 2005.
 - [135] R. Cucchiara, C. Grana, M. Piccardi, A. Prati, and S. Sirotti, "Improving shadow suppression in moving object detection with HSV color information," in *Intelligent Transportation Systems, 2001. Proceedings. 2001 IEEE*, 2001, pp. 334–339.
 - [136] Fatih Porikli, Oncel Tuzel, "Bayesian Background Modeling for Foreground Detection."
 - [137] A. Doshi and M. Trivedi, "'Hybrid Cone-Cylinder' Codebook Model for Foreground Detection with Shadow and Highlight Suppression," in *Video and Signal Based Surveillance, 2006. AVSS'06. IEEE International Conference on*, 2006, pp. 19–19.
 - [138] D. Butler, S. Sridharan, and V. M. Bove Jr, "Real-time adaptive background segmentation," in *Acoustics, Speech, and Signal Processing, 2003. Proceedings.(ICASSP'03). 2003 IEEE International Conference on*, 2003, vol. 3, p. III–349.
 - [139] M. Xiao and L. Zhang, "A Background Reconstruction Algorithm Based on Two-Threshold Sequential Clustering," 2008, pp. 389–393.
 - [140] M. Xiao, C. Han, and X. Kang, "A background reconstruction for dynamic scenes," in *Information Fusion, 2006 9th International Conference on*, 2006, pp. 1–7.
 - [141] "Soft Computing Techniques (Wikipedia)." [Online]. Available: https://en.wikipedia.org/wiki/Soft_computing.
 - [142] W. Kim and C. Kim, "Background Subtraction for Dynamic Texture Scenes Using Fuzzy Color Histograms," *IEEE Signal Process. Lett.*, vol. 19, no. 3, pp. 127–130, Mar. 2012.
 - [143] P. Chiranjeevi and S. Sengupta, "New Fuzzy Texture Features for Robust Detection of Moving Objects," *IEEE Signal Process. Lett.*, vol. 19, no. 10, pp. 603–606, Oct. 2012.
 - [144] C. Pojala and S. Sengupta, "Detection of moving objects using fuzzy correlogram based background subtraction," in *Signal and Image Processing Applications (ICSIPA), 2011 IEEE International Conference on*, 2011, pp. 255–259.
 - [145] J. Han and K.-K. Ma, "Fuzzy color histogram and its use in color image retrieval," vol. 11, no. 8, pp. 944–952, Aug. 2002.
 - [146] F. El Baf, T. Bouwmans, and B. Vachon, "Type-2 fuzzy mixture of Gaussians model: application to background modeling," in *Advances in Visual Computing*, Springer, 2008, pp. 772–781.
 - [147] T. Bouwmans and F. El Baf, "Modeling of dynamic backgrounds by type-2 fuzzy Gaussians mixture models," *MASAJUM J. Basic Appl. Sci.*, vol. 1, no. 2, pp. 265–276, 2009.
 - [148] F. El Baf, T. Bouwmans, and B. Vachon, "Fuzzy statistical modeling of dynamic backgrounds for moving object detection in infrared videos," in *Computer Vision and Pattern Recognition Workshops, 2009. CVPR Workshops 2009. IEEE Computer Society Conference on*, 2009, pp. 60–65.
 - [149] J. Zeng, L. Xie, and Z.-Q. Liu, "Type-2 fuzzy Gaussian mixture models," *Pattern Recognit.*, vol. 41, no. 12, pp. 3636–3643, Dec. 2008.
 - [150] M. H. Sigari, N. Mozayani, and H. R. Pourreza, "Fuzzy running average and fuzzy background subtraction: concepts and application," *Int. J. Comput. Sci. Netw. Secur.*, vol. 8, no. 2, pp. 138–143, 2008.
 - [151] F. El Baf, T. Bouwmans, and B. Vachon, "A fuzzy approach for background subtraction," in *Image Processing, 2008. ICIP 2008. 15th IEEE International Conference on*, 2008, pp. 2648–2651.
-

- [152] Muhammad Ayub, "Choquet and Sugeno Integrals," Thesis for the degree Master of Science (two years) in Mathematical Modelling and Simulation.
- [153] M. Shakeri, H. Deldari, H. Foroughi, A. Saberi, and A. Naseri, "A novel fuzzy background subtraction method based on cellular automata for urban traffic applications," in *Signal Processing, 2008. ICSP 2008. 9th International Conference on*, 2008, pp. 899–902.
- [154] J. Rosell-Ortega, G. Andreu-Garcia, A. Rodas-Jordá, and V. Atienza-Vanacloig, "Background modelling in demanding situations with confidence measure," 2008.
- [155] Y. Ding, L. Wen-Hui, F. Jing-Tao, and Y. Hua-Min, "Robust moving object detection under complex background," vol. 7, no. 1, pp. 201–210, 2010.
- [156] M. M. Azab, H. A. Shedeed, and A. S. Hussein, "A new technique for background modeling and subtraction for motion detection in real-time videos," in *Image Processing (ICIP), 2010 17th IEEE International Conference on*, 2010, pp. 3453–3456.
- [157] Hong-xun Zhang, De Xu, "Fusing Color and Gradient Features for Background Model."
- [158] M. Sivabalakrishnan and D. Manjula, "Performance analysis of fuzzy logic-based background subtraction in dynamic environments," vol. 60, no. 1, pp. 39–46, Feb. 2012.
- [159] A. K. Jain, J. Mao, and K. M. Mohiuddin, "Artificial neural networks: a tutorial," *Computer*, vol. 29, no. 3, pp. 31–44, Mar. 1996.
- [160] I. Aizenberg, C. Moraga, and D. Paliy, "A feedforward neural network based on multi-valued neurons," in *Computational Intelligence, Theory and Applications*, Springer, 2005, pp. 599–612.
- [161] Luque, Rafael Marcos and López-Rodríguez, Domingo and Casermeiro, Enrique Mérida and Palomo, Esteban J., "Video Object Segmentation with Multivalued Neural Networks," *IEEE Computer Society*, pp. 613–618, 2008.
- [162] R. M. Luque, E. Domínguez, E. J. Palomo, and J. Muñoz, "A neural network approach for video object segmentation in traffic surveillance," in *Image Analysis and Recognition*, Springer, 2008, pp. 151–158.
- [163] R. M. Luque, D. López-Rodríguez, E. Domínguez, and E. J. Palomo, "A dipolar competitive neural network for video segmentation," in *Advances in Artificial Intelligence-IBERAML 2008*, Springer, 2008, pp. 103–112.
- [164] L. Maddalena and A. Petrosino, "A Self-Organizing Approach to Background Subtraction for Visual Surveillance Applications," vol. 17, no. 7, pp. 1168–1177, Jul. 2008.
- [165] L. Maddalena and A. Petrosino, "A fuzzy spatial coherence-based approach to background/foreground separation for moving object detection," *Neural Comput. Appl.*, vol. 19, no. 2, pp. 179–186, Jun. 2009.
- [166] A. H. Kamkar-Parsi, R. Laganière, and M. Bouchard, "A multi-criteria model for robust foreground extraction," in *ACM international workshop on Video surveillance & sensor networks*, New York, 2005, pp. 66–67.
- [167] T. W. Chua, K. Leman, and Y. Wang, "Fuzzy rule-based system for dynamic texture and color based background subtraction," in *Fuzzy Systems (FUZZ-IEEE), 2012 IEEE International Conference on*, 2012, pp. 1–7.
- [168] S. Jabri, Z. Duric, H. Wechsler, and A. Rosenfeld, "Detection and location of people in video images using adaptive fusion of color and edge information," in *Pattern Recognition, 2000. Proceedings. 15th International Conference on*, 2000, vol. 4, pp. 627–630.
- [169] B. N. Subudhi, S. Ghosh, and A. Ghosh, "Object and shadow separation using fuzzy Markov Random Field and local gray level co-occurrence matrix based textural features," in *Intelligent Systems Design and Applications (ISDA), 2012 12th International Conference on*, 2012, pp. 95–100.
- [170] Y. Chu, X. Ye, J. Qian, Y. Zhang, and S. Zhang, "Adaptive foreground and shadow segmentation using hidden conditional random fields," *J. Zhejiang Univ. Sci. A*, vol. 8, no. 4, pp. 586–592, Apr. 2007.
- [171] J.-S. Hu, T.-M. Su, and S.-C. Jeng, "Robust Background Subtraction with Shadow and Highlight Removal for Indoor Surveillance," presented at the International Conference on Intelligent Robots and Systems, Beijing, China, 2006.
- [172] T. Tanaka, A. Shimada, D. Arita, and R. Taniguchi, "Object detection under varying illumination based on adaptive background modeling considering spatial locality," in *Advances in Image and Video Technology*, Springer, 2009, pp. 645–656.
- [173] H. Yang, Y. Tan, J. Tian, and J. Liu, "Accurate dynamic scene model for moving object detection," in *Image Processing, 2007. ICIP 2007. IEEE International Conference on*, 2007, vol. 6, p. VI–157.
- [174] Y.-H. Liang, Z.-Y. Wang, X.-W. Xu, and X.-Y. Cao, "Background Pixel Classification for Motion Segmentation Using Mean Shift Algorithm," in *Machine Learning and Cybernetics, 2007 International Conference on*, 2007, vol. 3, pp. 1693–1698.
- [175] Martin Danek, Roman Bartosinski and Christian Hochberger, "Foreground Detection in Video Streams in an FPGA without External Memory," presented at the Design and Architectures for Signal and Image Processing (DASIP), 2014.
- [176] "Compression artifacts." [Online]. Available: https://en.wikipedia.org/wiki/Compression_artifact.
- [177] C. Peijiang, "Moving object detection based on background extraction," in *Computer Network and Multimedia Technology, 2009. CNMT 2009. International Symposium on*, 2009, pp. 1–4.

-
- [178] H. Bhaskar, L. Mihaylova, and A. Achim, "Video Foreground Detection Based on Symmetric Alpha-Stable Mixture Models," *IEEE Trans. Circuits Syst. Video Technol.*, vol. 20, no. 8, pp. 1133–1138, Aug. 2010.
 - [179] K. Toyama, J. Krumm, B. Brumitt, and B. Meyers, "Wallflower: Principles and practice of background maintenance," in *Computer Vision, 1999. The Proceedings of the Seventh IEEE International Conference on*, 1999, vol. 1, pp. 255–261.
 - [180] Y.-T. Chen, C.-S. Chen, C.-R. Huang, and Y.-P. Hung, "Efficient hierarchical method for background subtraction," *Pattern Recognit.*, vol. 40, no. 10, pp. 2706–2715, Oct. 2007.
 - [181] T. Yang, Q. Pan, J. Li, and S. Z. Li, "Real-time multiple objects tracking with occlusion handling in dynamic scenes," in *Computer Vision and Pattern Recognition, 2005. CVPR 2005. IEEE Computer Society Conference on*, 2005, vol. 1, pp. 970–975.
 - [182] K. Toyama, J. Krumm, B. Brumitt, and B. Meyers, "Wallflower: Principles and practice of background maintenance," in *Computer Vision, 1999. The Proceedings of the Seventh IEEE International Conference on*, 1999, vol. 1, pp. 255–261.
 - [183] G. Doretto, A. Chiuso, Y. N. Wu, and S. Soatto, "Dynamic textures," *Int. J. Comput. Vis.*, vol. 51, no. 2, pp. 91–109, 2003.
 - [184] C. Ridder, O. Munkelt, and H. Kirchner, "Adaptive background estimation and foreground detection using kalman-filtering," in *Proceedings of International Conference on recent Advances in Mechatronics*, 1995, pp. 193–199.
 - [185] J. Zhong and S. Sclaroff, "Segmenting foreground objects from a dynamic textured background via a robust kalman filter," in *Computer Vision, 2003. Proceedings. Ninth IEEE International Conference on*, 2003, pp. 44–50.
 - [186] S. Messelodi, C. M. Modena, N. Segata, and M. Zanin, "A kalman filter based background updating algorithm robust to sharp illumination changes," in *Image Analysis and Processing-ICAP 2005*, Springer, 2005, pp. 163–170.
 - [187] J. C. Principe, *Information Theoretic Learning*. New York, NY: Springer New York, 2010.
 - [188] A. Mittal and L. S. Davis, "M2tracker: A multi-view approach to segmenting and tracking people in a cluttered scene," *Int. J. Comput. Vis.*, vol. 51, no. 3, pp. 189–203, 2003.
 - [189] S. M. Khan and M. Shah, "A multiview approach to tracking people in crowded scenes using a planar homography constraint," in *Computer Vision—ECCV 2006*, Springer, 2006, pp. 133–146.
 - [190] J. W. Davis and M. A. Keck, "A two-stage template approach to person detection in thermal imagery," in *null*, 2005, pp. 364–369.
 - [191] J. W. Davis and V. Sharma, "Background-Subtraction in Thermal Imagery Using Contour Saliency," *Int. J. Comput. Vis.*, vol. 71, no. 2, pp. 161–181, Feb. 2007.
 - [192] J. W. Davis and V. Sharma, "Fusion-based background-subtraction using contour saliency," in *Computer Vision and Pattern Recognition-Workshops, 2005. CVPR Workshops. IEEE Computer Society Conference on*, 2005, pp. 11–11.
 - [193] J. W. Davis and V. Sharma, "Robust background-subtraction for person detection in thermal imagery," *IEEE Int Wkshp Object Track. Classif. Visible Spectr.*, 2004.
 - [194] L. D. Greet and S. Hanis, "An Improved Detection Scheme for Radar System," *Int. J. Comput. Appl.*, vol. 24, no. 5, pp. 13–17, 2011.
 - [195] D. Kocur, J. Gamec, M. Svecova, M. Gamcová, and J. Rovnakova, "Imaging method: an efficient algorithm for moving target tracking by UWB radar," *Acta Polytech. Hung.*, vol. 7, no. 3, pp. 5–24, 2010.
 - [196] J. Li, Z. Zeng, J. Sun, and F. Liu, "Through-Wall Detection of Human Being's Movement by UWB Radar," *IEEE Geosci. Remote Sens. Lett.*, vol. 9, no. 6, pp. 1079–1083, Nov. 2012.
 - [197] R. S. Rakibe and B. D. Patil, "Background subtraction algorithm based human motion detection," *Int. J. Sci. Res. Publ.*, vol. 3, no. 5, 2013.
 - [198] R. Crabb, C. Tracey, A. Puranik, and J. Davis, "Real-time foreground segmentation via range and color imaging," in *Computer Vision and Pattern Recognition Workshops, 2008. CVPRW'08. IEEE Computer Society Conference on*, 2008, pp. 1–5.
 - [199] J. Zhu, M. Liao, R. Yang, and Z. Pan, "Joint depth and alpha matte optimization via fusion of stereo and time-of-flight sensor," in *Computer Vision and Pattern Recognition, 2009. CVPR 2009. IEEE Conference on*, 2009, pp. 453–460.
 - [200] I. Schiller and R. Koch, "Improved video segmentation by adaptive combination of depth keying and mixture-of-gaussians," in *Image Analysis*, Springer, 2011, pp. 59–68.
 - [201] M. Camplani and L. Salgado, "Background foreground segmentation with RGB-D Kinect data: An efficient combination of classifiers," *J. Vis. Commun. Image Represent.*, vol. 25, no. 1, pp. 122–136, Jan. 2014.
 - [202] C. R. Wren and F. Porikli, "Waviz: Spectral similarity for object detection," in *IEEE International Workshop on Performance Evaluation of Tracking and Surveillance*, 2005, pp. 55–61.
 - [203] F. Porikli and C. Wren, "Change detection by frequency decomposition: Wave-back," in *Proc. of Workshop on Image Analysis for Multimedia Interactive Services*, 2005.
 - [204] T. Gao, Z. Liu, W. Gao, and J. Zhang, "A robust technique for background subtraction in traffic video," in *Advances in Neuro-Information Processing*, Springer, 2008, pp. 736–744.
 - [205] D. Baltieri, R. Vezzani, and R. Cucchiara, "Fast Background Initialization with Recursive Hadamard Transform," 2010, pp. 165–171.
 - [206] E. J. Candes and M. B. Wakin, "An Introduction To Compressive Sampling," *IEEE Signal Process. Mag.*, vol. 25, no. 2, pp. 21–30, Mar. 2008.
-

- [207] S. Qaisar, R. M. Bilal, W. Iqbal, M. Naureen, and S. Lee, "Compressive sensing: From theory to applications, a survey," *J. Commun. Netw.*, vol. 15, no. 5, pp. 443–456, Oct. 2013.
- [208] V. Cevher, A. Sankaranarayanan, M. F. Duarte, D. Reddy, R. G. Baraniuk, and R. Chellappa, "Compressive sensing for background subtraction," in *Computer Vision—ECCV 2008*, Springer, 2008, pp. 155–168.
- [209] G. Warnell, D. Reddy, and R. Chellappa, "Adaptive rate compressive sensing for background subtraction," in *Acoustics, Speech and Signal Processing (ICASSP), 2012 IEEE International Conference on*, 2012, pp. 1477–1480.
- [210] L. Baldassarre, N. Bhan, V. Cevher, A. Kyriillidis, and S. Satpathi, "Group-sparse model selection: Hardness and relaxations," *ArXiv Prepr. ArXiv13033207*, 2013.
- [211] A. Sobral and A. Vacavant, "A comprehensive review of background subtraction algorithms evaluated with synthetic and real videos," *Comput. Vis. Image Underst.*, vol. 122, pp. 4–21, May 2014.
- [212] "BGS Library." [Online]. Available: <https://github.com/andrewssobral/bgslibrary>.
- [213] "Background Subtraction Implementations on OpenCV- Python." [Online]. Available: http://docs.opencv.org/master/db/d5c/tutorial_py_bg_subtraction.html#gsc.tab=0.
- [214] Giuseppe Cocorullo, Pasquale Corsonello, Fabio Frustaci, Lorena Guachi, Stefania Perri, "Embedded surveillance system using background subtraction and Raspberry Pi," presented at the 2015 AEIT International Annual Conference (AEIT).
- [215] HAYRİ KEREM BAYKENT, "IMPLEMENTATION OF A LOW-COST SMART CAMERA APPLICATION ON A COTS SYSTEM," MIDDLE EAST TECHNICAL UNIVERSITY, 2011.
- [216] B.Dhananjaya, B. Rama murthy and P.Thimmaiah, "Moving Object Tracking with OpenCV on ARM Cortex-A8 in surveillance Applications," *International Journal of Current Engineering and Technology*, Apr-2015.
- [217] R. Cucchiara, P. Onfiani, A. Prati, and N. Scarabottolo, "Segmentation of moving objects at frame rate," in *Proceedings of the IP499 IEE Image Processing and Applications Conference*, Manchester, UK, 1999, pp. 138–142.
- [218] K. Appiah and A. Hunter, "A single-chip FPGA implementation of real-time adaptive background model," in *Field-Programmable Technology, 2005. Proceedings. 2005 IEEE International Conference on*, 2005, pp. 95–102.
- [219] K. Appiah, A. Hunter, T. Kluge, and others, "GW4: An FPGA-driven image segmentation algorithm," in *Proc. 5th World Scientific and Engineering Academy and Society International Conference on Signal, Speech and Image Processing*, 2005, pp. 17–19.
- [220] R. Aguilar-Ponce *et al.*, "Real-time VLSI architecture for detection of moving object using Wronskian determinant," in *Circuits and Systems, 2005. 48th Midwest Symposium on*, 2005, pp. 875–878.
- [221] H. Jiang, H. Ardo, and V. Owall, "Hardware accelerator design for video segmentation with multi-modal background modelling," in *Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on*, 2005, pp. 1142–1145.
- [222] A. Griesser and others, "Real-time, gpu-based foreground-background segmentation," in *Vision, Modeling, and Visualization*, 2005, pp. 319–326.
- [223] R. Mester, T. Aach, L. Dumbgen, "Illumination-Invariant Change Detection Using a Statistical Colinearity Criterion," in *Proc. 23rd DAGM Symp.*, 2001.
- [224] J. Oliveira, A. Printes, R. C. . Freire, E. Melcher, and I. S.S. Silva, "FPGA Architecture for Static Background Subtraction in Real Time," presented at the Symposium on Integrated circuits and systems design, 2006.
- [225] M. P. Juvonen, J. G. F. Coutinho, and W. Luk, "Hardware architectures for adaptive background modelling," in *Programmable Logic, 2007. SPL'07. 2007 3rd Southern Conference on*, 2007, pp. 149–154.
- [226] M. Shi, A. Bermak, S. Chandrasekaran, and A. Amira, "An efficient FPGA implementation of Gaussian mixture models-based classifier using distributed arithmetic," in *Electronics, Circuits and Systems, 2006. ICECS'06. 13th IEEE International Conference on*, 2006, pp. 1276–1279.
- [227] M. Gorgon, P. Pawlik, M. Jabtonski, and J. Przybyto, "FPGA-based road traffic videodetector," in *Digital System Design Architectures, Methods and Tools, 2007. DSD 2007. 10th Euromicro Conference on*, 2007, pp. 412–419.
- [228] F. Kristensen, H. Hedberg, H. Jiang, P. Nilsson, and V. Öwall, "An Embedded Real-Time Surveillance System: Implementation and Evaluation," *J. Signal Process. Syst.*, vol. 52, no. 1, pp. 75–94, Aug. 2007.
- [229] S. Apewokin, B. Valentine, L. Wills, S. Wills, and A. Gentile, "Multimodal mean adaptive backgrounding for embedded real-time video surveillance," in *Computer Vision and Pattern Recognition, 2007. CVPR'07. IEEE Conference on*, 2007, pp. 1–6.
- [230] M. Gong and L. Cheng, "Real-time foreground segmentation on GPUs using local online learning and global graph cut optimization," in *Pattern Recognition, 2008. ICPR 2008. 19th International Conference on*, 2008, pp. 1–4.
- [231] L. Cheng, S.Wang, D. Schuurmans, T. Caelli, and S. V. N. Vishwanathan, "An Online Discriminative Approach to Background Subtraction," presented at the Video and Signal Based Surveillance, 2006. AVSS '06. IEEE International Conference on, 2006.
- [232] P. Carr, "GPU Accelerated Multimodal Background Subtraction," presented at the Digital Image Computing: Techniques and Applications.

-
- [233] S. Fukui, Y. Iwahori, and R. J. Woodham, "GPU based extraction of moving objects without shadows under intensity changes," 2008, pp. 4165–4172.
 - [234] M. M. Abutaleb, A. Hamdy, and E. M. Saad, "FPGA-based real-time video-object segmentation with optimization schemes," *Int J Circ Syst Sign Proc*, vol. 2, pp. 78–86, 2008.
 - [235] M. M. Abutaleb, A. Hamdy, M. E. Abuelwafa, and E. M. Saad, "FPGA-based object-extraction based on multimodal Σ - Δ background estimation," in *Computer, Control and Communication, 2009. IC4 2009. 2nd International Conference on*, 2009, pp. 1–7.
 - [236] E. Fauske, L. M. Eliassen, and R. H. Bakken, "A comparison of learning based background subtraction," in *Norwegian Artificial Intelligens Symposium (NAIS)*, 2009.
 - [237] A. G. Vicente, I. B. Munoz, P. J. Molina, and J. L. L. Galilea, "Embedded Vision Modules for Tracking and Counting People," *IEEE Trans. Instrum. Meas.*, vol. 58, no. 9, pp. 3004–3011, Sep. 2009.
 - [238] D. Schreiber and M. Rauter, "GPU-based non-parametric background subtraction for a practical surveillance system," in *Computer Vision Workshops (ICCV Workshops), 2009 IEEE 12th International Conference on*, 2009, pp. 870–877.
 - [239] M. Casares and S. Velipasalar, "Resource-Efficient Salient Foreground Detection for Embedded Smart Cameras br Tracking Feedback," 2010, pp. 369–375.
 - [240] M. Casares and S. Velipasalar, "Light-weight salient foreground detection with adaptive memory requirement," in *Acoustics, Speech and Signal Processing, 2009. ICASSP 2009. IEEE International Conference on*, 2009, pp. 1245–1248.
 - [241] Vu Pham, Vo Dinh Phong, Vu Thanh Hung, Le Hoai Bac, "GPU implementation of Extended Gaussian mixture model for Background subtraction," in *Proc. IEEE Int. Conf. Comput. Commun. Technol. Res. Innov. Vis. Future, Nov. 2010*, pp. 1–4.
 - [242] M. Genovese, E. Napoli, and N. Petra, "OpenCV compatible real time processor for background foreground identification," in *Microelectronics (ICM), 2010 International Conference on*, 2010, pp. 467–470.
 - [243] I. Bravo, M. Mazo, J. L. Lázaro, A. Gardel, P. Jiménez, and D. Pizarro, "An Intelligent Architecture Based on Field Programmable Gate Arrays Designed to Detect Moving Objects by Using Principal Component Analysis," *Sensors*, vol. 10, no. 10, pp. 9232–9251, Oct. 2010.
 - [244] Li Cheng, Minglun Gong, D. Schuurmans, and T. Caelli, "Real-Time Discriminative Background Subtraction," *IEEE Trans. Image Process.*, vol. 20, no. 5, pp. 1401–1414, May 2011.
 - [245] S. Liu, A. Papakonstantinou, H. Wang, and D. Chen, "Real-time object tracking system on FPGAs," in *Application Accelerators in High-Performance Computing (SAAHPC), 2011 Symposium on*, 2011, pp. 1–7.
 - [246] R. Rodriguez-Gomez, E. J. Fernandez-Sanchez, J. Diaz, and E. Ros, "FPGA Implementation for Real-Time Background Subtraction Based on Horprasert Model," *Sensors*, vol. 12, no. 12, pp. 585–611, Jan. 2012.
 - [247] R. Rodriguez-Gomez, E. J. Fernandez-Sanchez, J. Diaz, and E. Ros, "Codebook hardware implementation on FPGA for background subtraction," *J. Real-Time Image Process.*, Apr. 2012.
 - [248] Y.-K. Wang and H.-Y. Chen, "The Design of Background Subtraction on Reconfigurable Hardware," 2012, pp. 182–185.
 - [249] R. Yagi, T. Kajimoto, and T. Nishitani, "GMM foreground segmentation processor based on address free pixel streams," in *Acoustics, Speech and Signal Processing (ICASSP), 2012 IEEE International Conference on*, 2012, pp. 1653–1656.
 - [250] C. Sánchez-Ferreira, J. Y. Mori, and C. H. Llanos, "Background subtraction algorithm for moving object detection in FPGA," in *Programmable Logic (SPL), 2012 VIII Southern Conference on*, 2012, pp. 1–6.
 - [251] M. Wójcikowski, R. Żaglewski, and B. Pankiewicz, "FPGA-Based Real-Time Implementation of Detection Algorithm for Automatic Traffic Surveillance Sensor Network," *J. Signal Process. Syst.*, vol. 68, no. 1, pp. 1–18, Jul. 2012.
 - [252] T. Kryjak, M. Komorkiewicz, and M. Gorgon, "FPGA implementation of real-time head-shoulder detection using local binary patterns, SVM and foreground object detection," in *Design and Architectures for Signal and Image Processing (DASIP), 2012 Conference on*, 2012, pp. 1–8.
 - [253] T. Kryjak and M. Gorgon, "Real-time implementation of the ViBe foreground object segmentation algorithm," in *Computer Science and Information Systems (FedCSIS), 2013 Federated Conference on*, 2013, pp. 591–596.
 - [254] T. Kryjak, M. Komorkiewicz, and M. Gorgon, "Hardware implementation of the PBAS foreground detection method in FPGA," in *Mixed Design of Integrated Circuits and Systems (MIXDES), 2013 Proceedings of the 20th International Conference*, 2013, pp. 479–484.
 - [255] T. Kryjak, M. Komorkiewicz, and M. Gorgon, "Real-time Foreground Object Detection Combining the PBAS Background Modelling Algorithm and Feedback from Scene Analysis Module," *Int. J. Electron. Telecommun.*, vol. 60, no. 1, Jan. 2014.
 - [256] M. Genovese and E. Napoli, "ASIC and FPGA Implementation of the Gaussian Mixture Model Algorithm for Real-Time Segmentation of High Definition Video," *IEEE Trans. Very Large Scale Integr. VLSI Syst.*, vol. 22, no. 3, pp. 537–547, Mar. 2014.
 - [257] P. Malik, "Dedicated hardware architecture for object tracking preprocessing implemented in FPGA," in *Design and Diagnostics of Electronic Circuits & Systems, 17th International Symposium on*, 2014, pp. 250–253.
-

- [258] H. Tabkhi, M. Sabbagh, and G. Schirner, "A Power-Efficient FPGA-Based Mixture-of-Gaussian (MoG) Background Subtraction for Full-HD Resolution," 2014, pp. 241–241.
- [259] V. R. Pagire and C. V. Kulkarni, "FPGA based moving object detection," in *Computer Communication and Informatics (ICCCI), 2014 International Conference on*, 2014, pp. 1–4.
- [260] B. Bulat, T. Kryjak, and M. Gorgon, "Implementation of Advanced Foreground Segmentation Algorithms GMM, ViBE and PBAS in FPGA and GPU—A Comparison," in *Computer Vision and Graphics*, Springer, 2014, pp. 124–131.
- [261] Z. Moutakki, T. Ayaou, K. Afdel, and A. Amghar, "Prototype of an embedded system using Stratix III FPGA for vehicle detection and traffic management," 2014, pp. 141–146.
- [262] L. Li, W. Huang, I. Y. Gu, and Q. Tian, "Foreground object detection from videos containing complex background," in *Proceedings of the eleventh ACM international conference on Multimedia*, 2003, pp. 2–10.
- [263] P. Gujrathi, R. A. Priya, and P. Malathi, "Detecting Moving Object Using Background Subtraction Algorithm in FPGA," 2014, pp. 117–120.
- [264] C. Zhang, H. Tabkhi, and G. Schirner, "A GPU-based Algorithm-specific Optimization for High-performance Background Subtraction," in *Parallel Processing (ICPP), 2014 43rd International Conference on*, 2014, pp. 182–191.
- [265] M. S. Zitouni, H. Saleh, H. Bhaskar, E. Salahat, and M. Ismail, "A low-power 65-nm ASIC implementation of background subtraction," in *2014 10th International Conference on Innovations in Information Technology (INNOVATIONS)*, 2014, pp. 71–74.
- [266] G. Szwoch, "Parallel background subtraction in video streams using OpenCL on GPU platforms," in *Signal Processing: Algorithms, Architectures, Arrangements, and Applications (SPA), 2014*, 2014, pp. 54–59.
- [267] G. Guo, M. E. Kaye, and Y. Zhang, "Enhancement of Gaussian background modelling algorithm for moving object detection & its implementation on FPGA," in *Electrical and Computer Engineering (CCECE), 2015 IEEE 28th Canadian Conference on*, 2015, pp. 118–122.
- [268] W. Liu, H. Chen, and L. Ma, "Moving object detection and tracking based on ZYNQ FPGA and ARM SOC," in *IET International Radar Conference 2015*, 2015, pp. 1–4.
- [269] D. Liu, "GPU accelerated background subtraction," in *2015 IEEE 16th International Conference on Communication Technology (ICCT)*, 2015, pp. 372–375.
- [270] X. Ye and W. Wan, "Fast background modeling using GMM on GPU," in *Audio, Language and Image Processing (ICALIP), 2014 International Conference on*, 2014, pp. 937–941.
- [271] A. Nikitakis, I. Papaefstathiou, K. Makantasis, and A. Doulamis, "A novel background subtraction scheme for in-camera acceleration in thermal imagery," in *2016 Design, Automation & Test in Europe Conference & Exhibition (DATE)*, 2016, pp. 1497–1500.
- [272] M. U. K. Khan, A. Khan, and C.-M. Kyung, "EBSCam: Background Subtraction for Ubiquitous Computing," *IEEE Trans. Very Large Scale Integr. VLSI Syst.*, pp. 1–13, 2016.
- [273] "Markov chain." [Online]. Available: https://en.wikipedia.org/wiki/Markov_chain.
- [274] Z. Zivkovic, "Improved adaptive Gaussian mixture model for background subtraction," in *Pattern Recognition, 2004. ICPR 2004. Proceedings of the 17th International Conference on*, 2004, vol. 2, pp. 28–31.
- [275] "ITU Quality recommendations: BT-500, BT-710, BT-1127, etc." [Online]. Available: <http://www.itu.int/rec/R-REC-BT/en>.
- [276] S. Y. Elhabian, K. M. El-Sayed, and S. H. Ahmed, "Moving object detection in spatial domain using background removal techniques-state-of-art," vol. 1, no. 1, pp. 32–54, 2008.
- [277] N. Goyette, P.-M. Jodoin, F. Porikli, J. Konrad, and P. Ishwar, "Changetection. net: A new change detection benchmark dataset," in *Computer Vision and Pattern Recognition Workshops (CVPRW), 2012 IEEE Computer Society Conference on*, 2012, pp. 1–8.
- [278] "Simpson's rule." [Online]. Available: https://en.wikipedia.org/wiki/Simpson%27s_rule.
- [279] T. H. Chalidabhongse, K. Kim, D. Harwood, and L. Davis, "A perturbation method for evaluating background subtraction algorithms," in *Joint IEEE International Workshop on Visual Surveillance and Performance Evaluation of Tracking and Surveillance, Nice, France*, 2003.
- [280] S. Y. Elhabian, K. M. El-Sayed, and S. H. Ahmed, "Moving object detection in spatial domain using background removal techniques-state-of-art," vol. 1, no. 1, pp. 32–54, 2008.
- [281] F. Oberti, A. Teschioni, and C. S. Regazzoni, "ROC curves for performance evaluation of video sequences processing systems for surveillance applications," in *Image Processing, 1999. ICIP 99. Proceedings. 1999 International Conference on*, 1999, vol. 2, pp. 949–953.
- [282] P. L. Correia and F. Pereira, "Objective evaluation of video segmentation quality," *IEEE Trans. Image Process.*, vol. 12, no. 2, pp. 186–200, Feb. 2003.
- [283] "RGB - D object detection dataset." [Online]. Available: <http://eis.bristol.ac.uk/~mc13306/>.
- [284] "CITIC Dataset." [Online]. Available: <http://atcproyectos.ugr.es/mvision/>.
- [285] "PETS Dataset." [Online]. Available: <http://www.cvg.reading.ac.uk/slides/pets.html>.

-
- [286] “Carnegie Mellon Dataset.” [Online]. Available: http://www.cs.cmu.edu/~yaser/new_backgroundsubtraction.htm.
 - [287] “Wallflower Dataset.” [Online]. Available: <http://research.microsoft.com/en-us/um/people/jckrumm/wallflower/testimages.htm>.
 - [288] “Stuttgart Artificial Background Subtraction Dataset.” [Online]. Available: <http://www.vis.uni-stuttgart.de/forschung/informationsvisualisierung-und-visual-analytics/visuelle-analyse-videostroeime/sabs.html>.
 - [289] “LIMU dataset.” [Online]. Available: <http://limu.ait.kyushu-u.ac.jp/dataset/en/>.
 - [290] “CAVIAR Dataset.” [Online]. Available: <http://groups.inf.ed.ac.uk/vision/CAVIAR/CAVIARDATA1/>.
 - [291] S. Brutzer, B. Hoferlin, and G. Heidemann, “Evaluation of background subtraction techniques for video surveillance,” in *Computer Vision and Pattern Recognition (CVPR), 2011 IEEE Conference on*, 2011, pp. 1937–1944.
 - [292] *I2R Dataset*.
 - [293] L. Li, W. Huang, I. Y.-H. Gu, and Q. Tian, “Statistical modeling of complex backgrounds for foreground object detection,” *IEEE Trans. Image Process.*, vol. 13, no. 11, pp. 1459–1472, Nov. 2004.
 - [294] K. Toyama, J. Krumm, B. Brumitt, and B. Meyers, “Wallflower: Principles and practice of background maintenance,” in *Computer Vision, 1999. The Proceedings of the Seventh IEEE International Conference on*, 1999, vol. 1, pp. 255–261.
 - [295] “SZTAKI Benchmark Set.” [Online]. Available: <http://web.ece.sztaki.hu/~bcsaba/FgShBenchmark.htm>.
 - [296] “UCSD Dataset.” [Online]. Available: http://www.svcl.ucsd.edu/projects/background_subtraction/ucsdbsub_dataset.htm.
 - [297] A. B. Chan, V. Mahadevan, and N. Vasconcelos, “Generalized Stauffer–Grimson background subtraction for dynamic scenes,” *Mach. Vis. Appl.*, vol. 22, no. 5, pp. 751–766, Sep. 2011.
 - [298] E. J. Fernandez-Sanchez, J. Diaz, and E. Ros, “Background Subtraction Based on Color and Depth Using Active,” *Sensors*, vol. 13, no. 7, pp. 8895–8915, Jul. 2013.
 - [299] E. J. Fernandez-Sanchez, L. Rubio, J. Diaz, and E. Ros, “Background subtraction model based on color and depth cues,” *Mach. Vis. Appl.*, vol. 25, no. 5, pp. 1211–1225, Oct. 2013.
 - [300] “ChangeDetection Dataset.” [Online]. Available: <http://www.changedetection.net/>.
 - [301] “BMC Dataset.” [Online]. Available: <http://bmc.iut-auvergne.com/>.
 - [302] “SBI Dataset.”
 - [303] “PBI Dataset.” [Online]. Available: <http://www.diegmi.uniud.it/fusiello/demo/bkg/>.
 - [304] “ATON Dataset.” [Online]. Available: <http://cvrr.ucsd.edu/aton/shadow/index.html>.
 - [305] M. Trivedi, S. Bhonsle, and A. Gupta, “Database architecture for autonomous transportation agents for on-scene networked incident management (ATON),” in *Pattern Recognition, 2000. Proceedings. 15th International Conference on*, 2000, vol. 4, pp. 664–667.
 - [306] “OTCBVS Dataset.” [Online]. Available: <http://www.vcipl.okstate.edu/otcbvs/bench/>.
 - [307] “UNDERWATER BENCHMARK DATASET.” [Online]. Available: http://f4k.dicei.unict.it/datasets/bkg_modeling/.
 - [308] I. Kavasidis, S. Palazzo, R. D. Salvo, D. Giordano, and C. Spampinato, “An innovative web-based collaborative platform for video annotation,” *Multimed. Tools Appl.*, vol. 70, no. 1, pp. 413–432, Mar. 2013.
 - [309] “MUHAVI Dataset.” [Online]. Available: <http://dipersec.king.ac.uk/MuHAVi-MAS/>.
 - [310] S. Singh, S. A. Velastin, and H. Ragheb, “MuHAVi: A Multicamera Human Action Video Dataset for the Evaluation of Action Recognition Methods,” in *2010 Seventh IEEE International Conference on Advanced Video and Signal Based Surveillance (AVSS)*, 2010, pp. 48–55.
 - [311] “Karlsruhe Dataset.” [Online]. Available: http://i21www.ira.uka.de/image_sequences/.
 - [312] J. Yang, T. Lin, and B. Li, “Dual frame differences based background extraction algorithm,” in *Computational Problem-Solving (ICCP), 2011 International Conference on*, 2011, pp. 44–47.
 - [313] C. R. Wren, A. Azarbayejani, T. Darrell, and A. P. Pentland, “Pfinder: Real-time tracking of the human body,” *Pattern Anal. Mach. Intell. IEEE Trans. On*, vol. 19, no. 7, pp. 780–785, 1997.
 - [314] X. Lijun, “Moving object segmentation based on background subtraction and fuzzy inference,” in *Mechatronic Science, Electric Engineering and Computer (MEC), 2011 International Conference on*, 2011, pp. 434–437.
 - [315] M. Ibrahim Sezan, Reginald L. Lagendijk, *Motion Analysis and Image Sequence Processing*, Springer Science & Business Media. 2012.
 - [316] “Xfuzzy.” [Online]. Available: http://www2.imse-cnm.csic.es/Xfuzzy/Xfuzzy_3.3/index.html.
 - [317] E. Calvo-Gallego, P. Brox, and S. Sanchez-Solano, “A Fuzzy System for Background Modeling in Video Sequences,” *Springer*, pp. 184–192, 2013.
 - [318] J. Rosell-Ortega, G. Garcia-Andreu, A. Rodas-Jorda, and V. Atienza-Vanacloig, “A Combined Self-Configuring Method for Object Tracking in Colour Video,” 2010, pp. 2081–2084.
 - [319] G. Dalley, J. Migdal, and W. E. L. Grimson, “Background subtraction for temporally irregular dynamic textures,” in *Applications of Computer Vision, 2008. WACV 2008. IEEE Workshop on*, 2008, pp. 1–7.
-

- [320] Reza Hoseinnezhad, Ba-Ngu Vo and Ba-Tuong Vo, "Visual Tracking in Background Subtracted Image Sequences via Multi-Bernoulli Filtering," *IEEE TRANSACTIONS ON SIGNAL PROCESSING*, VOL. 61, NO. 2, PP. 392–397, 2013.
- [321] S.-Y. Lee, D.-M. Kwak, G.-Y. Sung, and D.-J. Kim, "Modified Component-Labeling Algorithms Applied to Grayscale Images," in *International Conference on Control, Automation and Systems*, Seoul, Korea, 2008, pp. 14–17.
- [322] J. Xing, L. Liu, and H. Ai, "Background subtraction through multiple life span modeling," in *Image Processing (ICIP), 2011 18th IEEE International Conference on*, 2011, pp. 2953–2956.
- [323] Y. Benezeth, P.-M. Jodoin, B. Emile, H. Laurent, and C. Rosenberger, "Review and evaluation of commonly-implemented background subtraction algorithms," in *Pattern Recognition, 2008. ICPR 2008. 19th International Conference on*, 2008, pp. 1–4.
- [324] C.-C. Chiu, S.-Y. Chiu, and C.-W. Chang, "Robust initial background extraction algorithm based on dynamic analysis," in *Information Science and Digital Content Technology (ICIDT), 2012 8th International Conference on*, 2012, vol. 3, pp. 678–681.
- [325] "Fscore vs Balanced Accuracy." [Online]. Available: <http://stats.stackexchange.com/questions/49579/balanced-accuracy-vs-f1-score>.
- [326] Z. Zivkovic and F. van der Heijden, "Efficient adaptive density estimation per image pixel for the task of background subtraction," *Pattern Recognit. Lett.*, vol. 27, no. 7, pp. 773–780, May 2006.
- [327] Michel ZINSMEISTER, "Dirichlet distribution."
- [328] "Dirichlet," *Wikipedia*. [Online]. Available: https://es.wikipedia.org/wiki/Distribuci%C3%B3n_de_Dirichlet.
- [329] M. A. Cazorla Quevedo, *Un enfoque bayesiano para la extracción de características y agrupamiento en visión artificial*. 2000.
- [330] "Minimum message length (MML)." [Online]. Available: https://en.wikipedia.org/wiki/Minimum_message_length.
- [331] O. B. M. VAN DROOGENBROECK, "ViBe: A universal background subtraction algorithm for video sequences," *IEEE Trans. Image Process.*, vol. 20(6), pp. 1709–1724, Jun. 2011.
- [332] "ViBe Algorithm Code." [Online]. Available: <http://www.telecom.ulg.ac.be/research/vibe/>.
- [333] "PBAS Algorithm Code." [Online]. Available: <https://sites.google.com/site/pbassegmenter/download-1>.
- [334] "OpenCV MOG2." [Online]. Available: http://docs.opencv.org/3.1.0/db/d5c/tutorial_py_bg_subtraction.html#gsc.tab=0, http://docs.opencv.org/3.1.0/d7/d7b/classcv_1_1BackgroundSubtractorMOG2.html#gsc.tab=0.
- [335] L. Sun, Q. De Neyer, and C. De Vleeschouwer, "Multimode spatiotemporal background modeling for complex scenes," in *Signal Processing Conference (EUSIPCO), 2012 Proceedings of the 20th European*, 2012, pp. 165–169.
- [336] N. Mould and J. P. Havlicek, "A conservative scene model update policy," in *Image Analysis and Interpretation (SSIAI), 2012 IEEE Southwest Symposium on*, 2012, pp. 145–148.
- [337] N. Mould and J. P. Havlicek, "A stochastic learning algorithm for pixel-level background models," in *Image Processing (ICIP), 2012 19th IEEE International Conference on*, 2012, pp. 1233–1236.
- [338] "A review of pseudorandom number generators," *Computer Physics Communications*, vol. 60, pp. 329–344, 1990.
- [339] V. V. Bonde and A. D. Kale, "A Review on Implementation of Random Number Generation based on FPGA."
- [340] L. He, X. Zhao, Y. Yang, H. Tang, and Y. Chao, "Fast connected-component labeling for binary hexagonal images," in *TENCON 2013-2013 IEEE Region 10 Conference (31194)*, 2013, pp. 1–4.
- [341] Lifeng He, Yuyan Chao, and K. Suzuki, "Two Efficient Label-Equivalence-Based Connected-Component Labeling Algorithms for 3-D Binary Images," *IEEE Trans. Image Process.*, vol. 20, no. 8, pp. 2122–2134, Aug. 2011.
- [342] W. Y. Chang and C. C. Chiu, "Directional Connected Components Algorithm Based on Gradient Information," 2014, pp. 280–283.
- [343] A. Ravankar, Y. Kobayashi, A. Ravankar, and T. Emaru, "A connected component labeling algorithm for sparse Lidar data segmentation," in *Automation, Robotics and Applications (ICARA), 2015 6th International Conference on*, 2015, pp. 437–442.
- [344] H. Jing, L. Peiyuan, and C. Hanwei, "Research on the Rice Counting Method Based on Connected Component Labeling," 2014, pp. 552–555.
- [345] Koduri K. Sreenivasan and Mand yarn Srinath, "Automated Vision System for Inspection of IC Pads and Bonds," in *IEEE Transactions on Components, Hybrids, and Manufacturing Technology*.
- [346] R. Cattoni, T. Coianiz, S. Messelodi, and C. M. Modena, "Geometric layout analysis techniques for document image understanding: a review," *ITC-Irst Tech. Rep.*, vol. 9703, no. 09, 1998.
- [347] R. M. Khoshki and S. Ganesan, "Improved Automatic License Plate Recognition (ALPR) system based on single pass Connected Component Labeling (CCL) and reign property function," in *2015 IEEE International Conference on Electro/Information Technology (EIT)*, 2015, pp. 426–431.
- [348] S. Razali, N. F. Shamsudin, M. Osman, Q. Meng, and S.-H. Yang, "Flock identification using connected components labeling for multi-robot herding," in *Soft Computing and Pattern Recognition (SoCPar), 2013 International Conference of*, 2013, pp. 298–303.

-
- [349] J. K. Clemens, "Optical character recognition for reading machine applications," Massachusetts Inst. Technol., Cambridge., 1965.
 - [350] T. H. Morrin, "Chain-link compression of arbitrary black-white images," *Comput Graph Image Process Vol 5 No 2*, pp. 172–189, 1976.
 - [351] R. L. T. Cederberg, "Chain-link coding and segmentation for raster scan devices," *Comput Graph Image Process Vol 10 No 3*, pp. 224–234, 1979.
 - [352] E. Otoo, K. Wu, and K. Suzuki, "Optimizing two-pass connected-component labeling algorithms," *Pattern Anal Applic*, p. 12: 117–135, 2009.
 - [353] F. Chang and C. Chen, *A component-labeling algorithm using contour tracing technique*. 2003.
 - [354] B. Kruse, "A fast stack-based algorithm for region extraction in binary and nonbinary images," *Signal Process Theor. Appl M Kunt F Coulon Eds Amst. Neth. N.-Holl.*, p. 169–173., 1980.
 - [355] P. E. Danielsson, "An improvement of Kruse's segmentation algorithm," *Comput Graph Image Process Vol 17 No 4*, pp. 394–396, 1981.
 - [356] P. E. Danielsson, "An improved segmentation and coding algorithm for binary and nonbinary images," *IBM J Res Dev. Vol 26 No6*, pp. 698–707, 1982.
 - [357] S. Kang, J. Kim, Z. Yuan, S. Song, and J. Cho, "A fast region expansion labeling of connected components in binary image," in *The 18th IEEE International Symposium on Consumer Electronics (ISCE 2014)*, 2014, pp. 1–2.
 - [358] A. AbuBaker, R. Qahwaji, S. Ipson, and M. Saleh, "One scan connected component labeling technique," in *Signal Processing and Communications, 2007. ICSPC 2007. IEEE International Conference on*, 2007, pp. 1283–1286.
 - [359] J. Wang, "A region labeling algorithm based on block," 2009, p. 74950M.
 - [360] D. G. Bailey and C. T. Johnston, "Single pass connected components analysis," in *Proceedings of image and vision computing New Zealand*, 2007, pp. 282–287.
 - [361] B. Thornberg and N. Lawal, "Real-time component labelling and feature extraction on FPGA," in *Signals, Circuits and Systems, 2009. ISCS 2009. International Symposium on*, 2009, pp. 1–4.
 - [362] M. Paralic, "Fast connected component labeling in binary images," in *Telecommunications and Signal Processing (TSP), 2012 35th International Conference on*, 2012, pp. 706–709.
 - [363] A. Rosenfeld and J. L. Platz, "Sequential operator in digital pictures processing," *J. ACM vol 134*, pp. 471–494, 1966.
 - [364] R. Lumia, L. Shapiro, and O. Zungia, "A new connected components algorithm for virtual memory computers," *Comput Vis. Graph. Image Process 22 2*, pp. 287–300, 1983.
 - [365] L. D. Stefano and A. Bulgarelli, *A Simple and Efficient Connected Components Labeling Algorithm*. 1999.
 - [366] V. Khanna, P. Gupta, and C. J. Hwang, "Finding connected components in digital images," in *Information Technology: Coding and Computing, 2001. Proceedings. International Conference on*, 2001, pp. 652–656.
 - [367] L. He, Y. Chao, and K. Suzuki, "A linear-time two-scan labeling algorithm," in *2007 IEEE International Conference on Image Processing*, 2007, vol. 5, p. V–241.
 - [368] L. He, Y. Chao, and K. Suzuki, "A run-based two-scan labeling algorithm," *IEEE Trans Image Process Vol 17 No 5*, pp. 749–756, 2008.
 - [369] "Floyd-Warshall." [Online]. Available: https://es.wikipedia.org/wiki/Algoritmo_de_Floyd-Warshall.
 - [370] H. Samet and M. Tamminen, *An improved approach to connected component labeling of images*. 1986.
 - [371] J. Doyle and R. L. Rivest, "Linear expected time of a simple union-find algorithm," *Inf Process Lett 55*, pp. 146–148, 1976.
 - [372] H. N. Gabow and R. E. Tarjan, *A linear time algorithm for a special case of disjoint set union*. 1983.
 - [373] C. Fiorio and J. Gustedt, "Two linear time union-find strategies for image processing," *Theor. Comput Sci Vol 154*, pp. 165–181, 1996.
 - [374] C. Fiorio and J. Gustedt, *Memory management for union find algorithms*. 1997.
 - [375] K. Wu, E. Otoo, and A. Shoshani, *Optimizing connected component labeling algorithms*. 2005.
 - [376] L. He, Y. Chao, K. Suzuki, and K. Wu, "Fast connected-component labeling," *Pattern Recognit.*, vol. 42, no. 9, pp. 1977–1987, Sep. 2009.
 - [377] L. He, Y. Chao, and K. Suzuki, "An efficient first-scan method for label-equivalence-based labeling algorithms," *Pattern Recognit. Lett.*, vol. 31, no. 1, pp. 28–35, Jan. 2010.
 - [378] Juan E. Nápoles Valdes, "La fórmula de Euler y la topología." Divulgación, Universidad de la Cuenca del Plata, Lavalle 50, 3400 Corrientes, Argentina.
 - [379] C. Platero, "Interpretación automática de las imágenes." Apuntes de Visión Artificial, Dpto. Electrónica, Automática e Informática Industrial.
 - [380] L.-F. He, Y.-Y. Chao, and K. Suzuki, "An Algorithm for Connected-Component Labeling, Hole Labeling and Euler Number Computing," *J. Comput. Sci. Technol.*, vol. 28, no. 3, pp. 468–478, May 2013.
 - [381] Lifeng He and Yuyan Chao, "A Very Fast Algorithm for Simultaneously Performing Connected-Component Labeling and Euler Number Computing," *IEEE Trans. Image Process.*, vol. 24, no. 9, pp. 2725–2735, Sep. 2015.
-

- [382] M. Mahadevi and C. P. Sumathi, "Face detection based on skin color model and connected component with template matching," in *Information Communication and Embedded Systems (ICICES), 2014 International Conference on*, 2014, pp. 1–4.
- [383] C. Grana, D. Borghesani, and R. Cucchiara, "Optimized block-based connected components labeling with decision trees," *IEEE Trans. Image Process. Vol 19 No 6*, pp. 1596–1609, Jun. 2010.
- [384] P. Sutheebanjard and W. Premchaiswadi, "Efficient scan mask techniques for connected components labeling algorithm," *EURASIP J. Image Video Process.*, vol. 2011, no. 1, p. 1, 2011.
- [385] D. J. Santiago, T. I. Ren, G. D. Cavalcanti, and T. I. Jyh, "Fast block-based algorithms for connected components labeling," in *2013 IEEE International Conference on Acoustics, Speech and Signal Processing*, 2013, pp. 2084–2088.
- [386] W.-Y. Chang and C.-C. Chiu, "An efficient scan algorithm for block-based connected component labeling," in *Control and Automation (MED), 2014 22nd Mediterranean Conference of*, 2014, pp. 1008–1013.
- [387] L. He, Y. Chao, and K. Suzuki, "A RUN-BASED ONE-AND-A-HALF-SCAN CONNECTED-COMPONENT LABELING ALGORITHM," *Int. J. Pattern Recognit. Artif. Intell.*, vol. 24, no. 04, pp. 557–579, Jun. 2010.
- [388] H. Samet, "The Quadtree and Related Hierarchical Data Structures," *Comput. Surv.*, vol. 16, no. 2, 1984.
- [389] J. Schwartz, M. Sharir, and A. Siegel, "An Efficient Algorithm for Finding Connected Components in a Binary Image," *N. Y. Univ Robotics Res. Tech Rep*, 1985.
- [390] K. Appiah, A. Hunter, P. Dickinson, and J. Owens, "A run-length based connected component algorithm for FPGA implementation," in *ICECE Technology, 2008. FPT 2008. International Conference*, 2008, pp. 177–184.
- [391] Y. Ito and K. Nakano, "Component Labeling for k-Concave Binary Images Using an FPGA," in *Parallel and Distributed Processing, IEEE International Symposium*, 2008.
- [392] Y. Ito and K. Nakano, "Optimized Component Labeling Algorithm for using in Medium Sized FPGAs," in *Ninth International Conference on Parallel and Distributed Computing, Applications and Technologies*, 2008.
- [393] Y. Ito and K. Nakano, "Low-Latency Connected Component Labeling Using an FPGA," *Int. J. Found. Comput. Sci. IJFCS*, pp. 405–425, 2010.
- [394] Y. Fan, S. Yu, and H. Zhao, "A novel line based connected component labeling algorithm," in *Computer Science and Information Technology (ICCSIT), 2010 3rd IEEE International Conference on*, 2010, vol. 2, pp. 168–172.
- [395] G. Yunfeng, W. Feiyang, and H. Xiaotian, "Connected components labeling algorithm based on run-length table searching," in *Computer Science & Education (ICCSE), 2014 9th International Conference on*, 2014, pp. 700–704.
- [396] Y. S. Bekhtin, V. S. Gurov, and S. S. Zavalishin, "A run equivalence algorithm for parallel connected component labeling on CPU," in *2015 4th Mediterranean Conference on Embedded Computing (MECO)*, 2015, pp. 276–279.
- [397] W.-Y. Chang, C.-C. Chiu, and J.-H. Yang, "Block-Based Connected-Component Labeling Algorithm Using Binary Decision Trees," *Sensors*, vol. 15, no. 9, pp. 23763–23787, Sep. 2015.
- [398] R. . Haralick and G. . Linda, *Computer and Robot Vision, Volumen 1*. Addison-Wesley, 1992.
- [399] Nirmal T. M., K. R. Joy and Rajeev K., "IMPLEMENTATION AND OPTIMIZATION OF CONNECTED COMPONENT LABELING IN RASPBERRY PI," *ARPN Journal of Engineering and Applied Sciences*, 2015.
- [400] L. Laccasagne and B. Zavidovique, "Light Speed Labeling: Efficient Connected Component Labeling on RISC Architectures."
- [401] D. Nassimi and S. Sahni, "Finding connected components and connected ones on a mesh-connected parallel computer," *SIAM J Comput Vol 9 No 4*, pp. 744–757, 1980.
- [402] R. Miller and Q. F. Stout, *Varying diameter and problem size on mesh-connected computer*. 1985.
- [403] A. Agrawal, L. Nekludova, and W. Lim, *A parallel $O(\log(N))$ algorithm for finding connected components in planar images*. 1987.
- [404] R. Cypher, J. L. . Sanz, and L. Snyder, "An EREW PRAM algorithm for image component labeling," *IEEE Trans Patt-Anal Machine Intell Vol11 No3*, pp. 258–262, 1989.
- [405] H. Shi and G. X. Ritter, " $O(n)$ -Time and $O(\log n)$ -Space Image Component Labeling with Local Operators on SIMD Mesh Connected Computers," in *International Conference on Parallel Processing*, 1993, pp. 98–101.
- [406] S.-D. Jean, C.-M. Liu, C.-C. Chang, and Z. Chen, "A New Algorithm and Its VLSI Architecture Design for Connected Component Labeling," in *Circuits and Systems 1994, ISCAS '94, IEEE International Symposium*, 1994, pp. 565–568.
- [407] S. Palaniappan and S. Natarajan, "A parallel realization of single pass connected component analysis on a multi-core architecture," presented at the International Conference on Communication and Signal Processing, April 3-5, 2014, India, 2014.
- [408] T. H. Cormen and T. H. Cormen, Eds., *Introduction to algorithms*, 2nd ed. Cambridge, Mass: MIT Press, 2001.
- [409] k Suzuki, I. Horiba, and N. Sugie, "Linear-time connected-component labeling based on sequential local operations," *Comput. Vis. Image Underst.* 89, pp. 1–23, 2003.
- [410] L. Ríha and M. Mareboyana, "GPU accelerated one-pass algorithm for computing minimal rectangles of connected components," in *Applications of Computer Vision (WACV), 2011 IEEE Workshop on*, 2011, pp. 479–484.
- [411] O. Štáva and B. Beneš, "Connected Component Labeling in CUDA," in *GPU Computing Gems Emerald Edition*, Elsevier, 2011, pp. 569–581.

-
- [412] P. Chen, H. L. Zhao, C. Tao, and H. S. Sang, "Block-run-based connected component labelling algorithm for GPGPU using shared memory," *Electron. Lett.*, vol. 47, no. 24, pp. 1309–1311, 2011.
 - [413] K. Yonehara and K. Aizawa, "A Line-Based Connected Component Labeling Algorithm Using GPUs," 2015, pp. 341–345.
 - [414] G. M. Rao and C. M. Rao, "GPU Based Video Tracking System," 2016, pp. 170–171.
 - [415] "NVIDIA GeForce GTX 285." [Online]. Available: http://www.nvidia.es/object/product_geforce_gtx_285_es.html.
 - [416] C.J. Nicol, "A Systolic Approach for Real Time Connected Component Labeling," *Computer Vision and Image Understanding*, vol. 61, no. 1, pp. 17–31, 1995.
 - [417] H. Zhao, H. Sang, and T. Zhang, "A novel algorithm and its VLSI architecture for connected component labeling," 2011, p. 80050C.
 - [418] C.-Y. Lin, S.-Y. Li, and T.-H. Tsai, *A Scalable Parallel Hardware Architecture for Connected Component Labeling*, 2010.
 - [419] D. Crookes and K. Benkrid, "FPGA implementation of image component labelling," *Reconfigurable Technol. FPGAs Comput. Appl. SPIE Vol 3844*, pp. 17–23, 1999.
 - [420] K. Benkrid, S. Sukhsawas, D. Crookes, and A. Benkrid, "An FPGA-based image connected component labeller," *Field-Program. Log. Appl. Springer Berl.*, pp. 1012–1015, 2003.
 - [421] M. Jablonski and M. Gorgon, "Handel-C implementation of classical component labelling algorithm," in *Euromicro Symposium on Digital System Design (DSD 2004)*, Rennes, France, 2004, pp. 387–393.
 - [422] Matthew Bowen, "Handel-C Language Reference Manual." Embedded Solutions Limited.
 - [423] D. R. Lee, S. H. Jin, P. T. C., and J. W. Jeon, "FPGA Based Connected Component Labeling," in *International Conference on Control, Automation and Systems*, 2007, pp. 17–20.
 - [424] S.-W. Yang, M.-H. Sheu, H.-H. Wu, H.-E. Chien, P.-K. Weng, and Y.-Y. Wu, "Vlsi architecture design for a fast parallel label assignment in binary image," in *Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium, vol 3*, 2005, pp. 2393–2396.
 - [425] H. Flatt, S. Blume, S. Hesselbarth, T. Schunemann, and P. Pirsch, "A Parallel Hardware Architecture for Connected Component Labeling Based on Fast Label Merging," in *Application-Specific Systems, Architectures and Processors, 2008. International Conference*, 2008, pp. 144–149.
 - [426] J. Trein, A. T. Schwarzbacher, and B. Hoppe, "FPGA implementation of a single pass real-time blob analysis using run length encoding," in *MPC-Workshop, February*, 2008.
 - [427] Y. Li, K. Mei, and P. Dong, "An Efficient and Low Memory Requirement Algorithm for Extracting Image Component Information," *Int. J. Adv. Intell.*, vol. 3, no. 2, pp. 255–267, 2011.
 - [428] Y. Li, "Fast multi-level connected component labeling for large-scale images," in *2015 International Conference on Optoelectronics and Microelectronics (ICOM)*, 2015, pp. 334–337.
 - [429] J. M. X. N. Teixeira, B. Reis, V. Teichrieb, and J. Kelner, "An Optimized label-broadcast parallel algorithm for connected components labeling," in *Programmable Logic Conference (SPL), 2010 VI Southern*, 2010, pp. 99–104.
 - [430] C. Grana, D. Borghesani, P. Santinelli, and R. Cucchiara, "High Performance Connected Components Labeling on FPGA," in *2010 Workshops on Database and Expert Systems Applications*, 2010, pp. 221–225.
 - [431] J. Xiong, T. M. Nguyen, and Q. M. Jonathan, "FPGA Implementation of Blob Recognition," in *Canadian Conference on Computer and Robot Vision*, 2011.
 - [432] H. Wang, H. He, J. Yang, P. S. Yu, and J. X. Yu, *Dual Labeling: Answering Graph Reachability Queries in Constant Time*. 2006.
 - [433] H. Hedberg, F. Kristensen, and V. Öwall, "Implementation of a Labeling Algorithm based on Contour Tracing with Feature Extraction," in *Circuits and Systems, ISCAS IEEE International Symposium*, 2007, pp. 1101–1104.
 - [434] P. Roy and P. K. Biswas, "VLSI Implementation of Fast Connected Component Labeling Using Finite State Machine Based Cell Network," 2008, pp. 238–243.
 - [435] C. T. Johnston and D. G. Bailey, "FPGA implementation of a Single Pass Connected Components Algorithm," 2008, pp. 228–231.
 - [436] Y. Han and E. Oruklu, "Real-time traffic sign recognition based on Zynq FPGA and ARM SoCs," in *IEEE International Conference on Electro/Information Technology*, 2014, pp. 373–376.
 - [437] S. Waite and E. Oruklu, "FPGA-based traffic sign recognition for advanced driver assistance systems," 2013.
 - [438] Vikram Sampath Kumar, Kevin Irick, Ahmed Al Maashri and N. Vijaykrishnan, "A Scalable Bandwidth Aware Architecture for Connected Component Labeling," presented at the IEEE Computer Society Annual Symposium on VLSI (ISVLSI), 2010.
 - [439] M. Kläiber, L. Rockstroh, Z. Wang, Y. Baroud, and S. Simon, "A memory-efficient parallel single pass architecture for connected component labeling of streamed images," in *Field-Programmable Technology (FPT), 2012 International Conference on*, 2012, pp. 159–165.
 - [440] N. Ma, D. G. Bailey, and C. T. Johnston, "Optimised single pass connected components analysis," in *ICECE Technology, 2008. FPT 2008. International Conference on*, 2008, pp. 185–192.
-

- [441] M. J. Klaiber, D. G. Bailey, Y. O. Baroud, and S. Simon, "A Resource-Efficient Hardware Architecture for Connected Component Analysis," *IEEE Trans. Circuits Syst. Video Technol.*, vol. 26, no. 7, pp. 1334–1349, Jul. 2016.
- [442] A. Rasquinha and N. Ranganathan, "C 3 L: a chip for connected component labeling," in *VLSI Design, 1997. Proceedings., Tenth International Conference on*, 1997, pp. 446–450.
- [443] C. Torres-Huitzil and M. Arias-Estrada, "FPGA Based configurable systolic architecture of window based image processing," *EURASIP J. Appl. Signal Process.*, 2005.
- [444] D. k Kim, D. R. Lee, P. T. C, and J. W. Jeon, "Real-Time Component Labeling and Boundary Tracing System Based on FPGA," in *International Conference of Robotics and Biomimetics, Proceedings of the 2007 IEEE, Sanya, China*, 2007, pp. 15–18.
- [445] S.-W. Yang, M.-H. Sheu, J.-J. Lin, and S.-Y. Tseng, "Parallel 3-Pixel Labeling Method and its Hardware Architecture Design," in *Fifth International Conference on Information Assurance and Security*, 2009.
- [446] V. M. A. Oliveira and R.A.Lotufo, *A Study on Connected Components Labeling algorithms using GPUs*. 2010.
- [447] J. G. Pandey, A. Karmakar, A. K. Mishra, C. Shekhar, and S. Gurunarayanan, "Implementation of an improved connected component labeling algorithm using FPGA-based platform," in *2014 International Conference on Signal Processing and Communications (SPCOM)*, 2014, pp. 1–6.
- [448] S. V. Dharan, M. Khalil-Hani, and N. Shaikh-Husin, "Hardware acceleration of a face detection system on FPGA," in *2015 IEEE Student Conference on Research and Development (SCoReD)*, 2015, pp. 283–288.
- [449] k Suzuki, I. Horiba, and N. Sugie, *Fast connected-component labeling based on sequential local operations in the course of forward raster scan followed by backward raster scan*. 2000.
- [450] D. G. Bailey, *Design for embedded image processing on FPGAs*. Singapore: John Wiley & Sons (Asia), 2011.
- [451] "Platform Studio and the Embedded Development Kit (EDK)." [Online]. Available: <https://www.xilinx.com/products/design-tools/platform.html>.
- [452] "Eclipse." [Online]. Available: <https://eclipse.org/>.
- [453] "System Generator for DSP User Guide." 02-Dec-2009.
- [454] "Vivado Design Suite User Guide, Model-Based DSP Design using System Generator,," 02-Apr-2014.
- [455] "Micron Datasheet." .
- [456] AVNET, "ZedBoard – HDMI Display Controller Tutorial." .
- [457] AVNET, "FMC-IMAGEON – HDMI Display Controller Tutorial." .
- [458] "AVNET GitHub." [Online]. Available: <https://github.com/Avnet/hdl>.
- [459] "FMC-IMAGEON - IP CORES for Vivado - 2013.3." .

Departamento de Electrónica y Electromagnetismo

Universidad de Sevilla



Instituto de Microelectrónica de Sevilla (IMSE-CNM)

**Consejo Superior de Investigaciones Científicas (CSIC)
– Universidad de Sevilla (US)**



SEVILLA, SEPTIEMBRE DE 2017